

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-358233

(P2004-358233A)

(43) 公開日 平成16年12月24日(2004. 12. 24)

(51) Int.Cl.⁷

A61B 1/04
A61B 8/12
G06F 13/28
H04N 5/907
H04N 5/92

F I

A61B 1/04 370
A61B 8/12
G06F 13/28 310A
H04N 5/907 B
H04N 5/92 H

テーマコード (参考)

4C061
4C601
5B050
5B061
5C052

審査請求 有 請求項の数 6 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願2004-130413 (P2004-130413)
(22) 出願日 平成16年4月26日 (2004. 4. 26)
(62) 分割の表示 特願平7-45801の分割
原出願日 平成7年3月6日 (1995. 3. 6)

(71) 出願人 000000376
オリンパス株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(74) 代理人 100076233
弁理士 伊藤 進
(72) 発明者 仁茂田 健一郎
東京都渋谷区幡ヶ谷2丁目43番2号 オ
リンパス株式会社内
(72) 発明者 江藤 忠夫
東京都渋谷区幡ヶ谷2丁目43番2号 オ
リンパス株式会社内
(72) 発明者 柴田 裕之
東京都渋谷区幡ヶ谷2丁目43番2号 オ
リンパス株式会社内

最終頁に続く

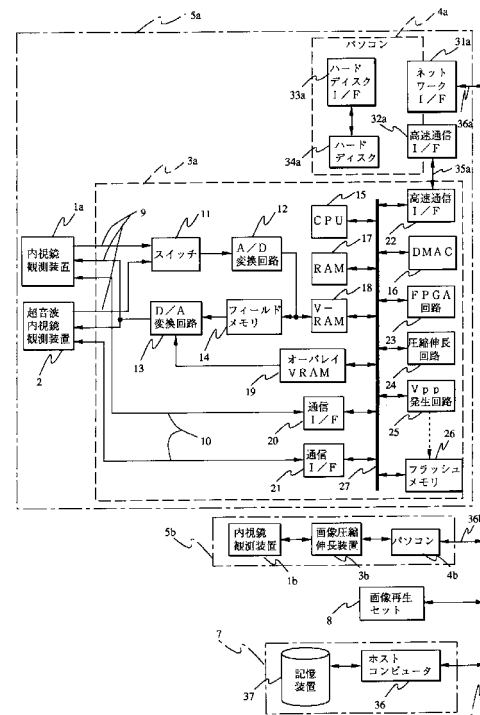
(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 画像取り込み・静止画（フリーズ）表示切り替え時でもCPUに負荷のかかることなく、自然で見やすい画像が表示できる画像処理装置を提供する。

【解決手段】 CPUまたはデータ転送回路が使用権を持つバス上に、画像データを記憶するメモリ回路及び前記画像データを信号処理する画像処理回路が並列に接続された画像処理装置において、前記メモリ回路と前記画像処理回路間のデータ転送は、前記データ転送回路が前記バスの使用権を得て行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

CPUまたはデータ転送回路が使用権を持つバス上に、画像データを記憶するメモリ回路及び前記画像データを信号処理する画像処理回路が並列に接続された画像処理装置において、

前記メモリ回路と前記画像処理回路間のデータ転送は、前記データ転送回路が前記バスの使用権を得て行うことを特徴とする画像処理装置。

【請求項 2】

前記画像処理回路は、前記画像データの圧縮及び伸長を行う画像圧縮伸長回路であることを特徴とする請求項 1 に記載の画像処理装置。

10

【請求項 3】

前記データ転送回路による前記メモリ回路と前記画像処理回路間で転送される画像データは、画素データであることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】

圧縮データバス線を自然数バイト分持つ画像データを圧縮伸長する圧縮伸長手段を有し、

前記圧縮データバス線とCPUデータバスとの間にデータセクタまたはバス幅変換手段を設け、前記画像データバイト並びを複数種類に設定することを特徴とする内視鏡画像処理装置。

【請求項 5】

20

DMA転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する内視鏡画像処理装置において、

最後の圧縮データ語にデータの詰められていない端数ビットが発生した場合、前記語をCPUによりハンドシェイク転送することを特徴とする内視鏡画像処理装置。

【請求項 6】

DMA転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する内視鏡画像処理装置において、

最後の圧縮データ語にデータの詰められていない端数ビットが発生することがないように画像圧縮を所定の領域以上行い最低所定領域画像分の圧縮データを取り出すことを特徴とする内視鏡画像処理装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画像データを入力し、画像データを処理し管理する画像処理装置に関する。

【背景技術】

【0002】

近年、細長の挿入部を体腔内に挿入し、固体撮像素子等の撮像手段に用いて、体腔内臓器等をモニタ画面により観察し、検査或いは診断することのできる内視鏡装置が広く用いられている。

40

【0003】

このような内視鏡装置においては、電子内視鏡等で撮像した内視鏡画像を記録し、後のレビュー等に有効に利用できるように画像ファイル装置を接続してシステムとして使用される状況にあり、使いやすいシステムが望まれている。この種のシステムにおける先行例として、特開平6-325141号公報の中でオンラインによる内視鏡画像ファイリングシステムが提案されている。

【0004】

上記システムで処理の核をなすのが画像を入力し画像データの圧縮伸長を行う画像処理装置である。

【0005】

50

このような画像入力を行う装置の処理機能として、外部からの映像信号をA/D変換してメモリに取り込みかつ、この画像の映像信号を出力し、同取り込み終了後取り込んだ画像を静止画の映像信号として出力する。

【0006】

前記装置では、一般に前記メモリとしてデュアルポートDRAMを使用する。さらにGSP（グラフィックシステムプロセッサ）によりデュアルポートDRAMに表示リフレッシュアドレスを与え、デュアルポートD-RAMをリードモードとしてデュアルポートDRAM上のデータを静止画としてデュアルポートDRAMデータ線から出力させる。また画像取り込み時には、デュアルポートDRAMをライトモードに切り替え、デュアルポートDRAMデータ線からA/D変換されたデータを入力することで行っていた。

10

【0007】

図49に示すように、上記のデュアルポートDRAM301は、A/D回路302によりA/D変換されたシリアルデータであるデジタル映像データを入力するシリアルレジスタ303と、シリアルレジスタ303を介してデジタル映像データを記憶するメモリセル304とから構成されている。そして、デジタル映像データは、動画表示のためD/A回路305でD/A変換され図示しない表示手段に直接出力されると共に、シリアルレジスタ303を介してメモリセル304に記憶される（デジタル映像データの入力時の流れを破線矢印で示す）。メモリセル304に記憶されたデジタル映像データは、圧縮等の処理のために装置内においては直接GSPバスよりアクセスできると共に、静止画を表示する際は、シリアルレジスタ303を介してD/A回路305によりD/A変換されて図示し

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

このようなデュアルポートDRAM301は、データ入出力にデュアルポートDRAM301内部のシリアルレジスタ303が介されるため、画像取り込みと表示での画像データは、映像信号上、1H（1水平期間）ずれが生じる。すなわち、図50に示すように、画像入力時は、A/D回路302からのYラインのデジタル映像データが期間T1でデュアルポートDRAM301内部のシリアルレジスタ303に書き込まれ、タイミングT2でメモリセル304に転送される（シリアルレジスタ303←→メモリセル304間の転送アドレス発生タイミングを記号“*”で示す）。

30

【0009】

一方、静止画出力時は、Yラインのデジタル映像データはタイミングT2でメモリセル304からシリアルレジスタ303に転送され、期間T3でD/A回路205に出力される。

【0010】

この結果、画像取り込みと表示での画像データは、映像信号上、1H（1水平期間）ずれが生じ、同装置から出力される映像信号の取り込み・静止画切り替え時、表示画像位置が縦方向に変位し、不自然で見づらい画像となる問題点がある。また、この問題を回避するためGSPの表示リフレッシュ開始アドレスを切り替えの度に変更する方法もあるが、この場合、変更タイミングをCPUが監視しなければならずCPUの負荷になるといった問題がある。

40

【0011】

本発明は、上記事情に鑑みてなされたものであり、画像取り込み・静止画（フリーズ）表示切り替え時でもCPUに負荷のかかることなく、自然で見やすい画像が表示できる画像処理装置を提供することを目的としている。

【課題を解決するための手段】

【0012】

本発明の画像処理装置は、CPUまたはデータ転送回路が使用权を持つバス上に、画像

50

データを記憶するメモリ回路及び前記画像データを信号処理する画像処理回路が並列に接続された画像処理装置において、前記メモリ回路と前記画像処理回路間のデータ転送は、前記データ転送回路が前記バスの使用権を得て行うことを特徴とする。

【 0 0 1 3 】

本発明の第 1 の内視鏡画像処理装置は、圧縮データバス線を自然数バイト分持つ画像データを圧縮伸長する圧縮伸長手段を有し、前記圧縮データバス線と C P U データバスとの間にデータセクタまたはバス幅変換手段を設け、前記画像データバイト並びを複数種類に設定することを特徴とする。

【 0 0 1 4 】

本発明の第 2 の内視鏡画像処理装置は、 D M A 転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する内視鏡画像処理装置において、最後の圧縮データ語にデータの詰められていない端数ビットが発生した場合、前記語を C P U によりハンドシェイク転送することを特徴とする。

10

【 0 0 1 5 】

本発明の第 3 の内視鏡画像処理装置は、 D M A 転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する内視鏡画像処理装置において、最後の圧縮データ語にデータの詰められていない端数ビットが発生することがないように画像圧縮を所定の領域以上行い最低所定領域画像分の圧縮データを取り出すことを特徴とする。

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、画像取り込み・静止画（フリーズ）表示切り替え時でも C P U に負荷のかかることなく、自然で見やすい画像が表示できる画像処理装置を提供することを目的としている。

20

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、図面を参照しながら本発明の実施例について述べる。

【 0 0 1 8 】

図 1 ないし図 3 8 は本発明の第 1 実施例に係わり、図 1 は内視鏡画像ファイリング装置の構成を示すブロック図、図 2 は図 1 の F P G A 回路の構成を示すブロック図、図 3 は図 1 の C P U に対してのウェイト信号を発生するウェイト発生回路の第 1 の回路例を示す図、図 4 は図 1 の C P U に対してのウェイト信号を発生するウェイト発生回路の第 2 の回路例を示す図、図 5 は図 1 の V R A M の構成を示すブロック図、図 6 は図 5 の R G B 用 V R A M のデータバスでのデータの対応を示す対応図、図 7 は図 5 の Y U V 用 V R A M のデータバスでのデータの対応を示す対応図、図 8 は図 5 の R G B 用 V R A M のアドレスの結線を示す結線図、図 9 は図 5 の Y U V 用 V R A M のアドレスの結線を示す結線図、図 1 0 は図 1 のオーバーレイ V R A M の構成を示すブロック図、図 1 1 は図 1 0 のオーバーレイ V R A M のアドレスの結線を示す結線図、図 1 2 は図 1 のパソコンと画像圧縮伸長装置との信号の結線を示す結線図、図 1 3 は図 1 の画像圧縮伸長装置の高速通信 I / F の構成を示す構成図、図 1 4 は図 1 3 の波形整形回路の第 1 の構成を示す構成図、図 1 5 は図 1 3 の波形整形回路の第 2 の構成を示す構成図、図 1 6 は図 1 の画像圧縮伸長回路の構成を示すブロック図、図 1 7 は図 1 6 の画像圧縮伸長ブロックの構成を示すブロック図、図 1 8 は図 1 7 のバスサイズ変換回路の作用を説明する説明図、図 1 9 は図 1 7 の画像圧縮伸長 L S I と画像データを送受信するイメージ線のデータバスでのデータの対応を示す対応図、図 2 0 は図 1 7 の画像圧縮伸長 L S I と圧縮伸長画像データを送受信するデータ線のデータバスでのデータの対応を示す対応図、図 2 1 は図 1 の V p p 発生回路の構成を示すブロック図、図 2 2 は図 1 の画像再生セットの構成を示すブロック図、図 2 3 は図 2 2 のオーバーレイ V R A M の構成を示す図 1 0 のデータバスバッファの構成を示すブロック図、図 2 4 は図 2 3 のオーバーレイ V R A M の C P U サイクルにおける双方向バスバッファの波形を示す波形図、図 2 5 は図 2 2 の画像再生セットでの C P U リードサイクルにおけるオーバーレイ V R A M の波形を示す波形図、図 2 6 は図 2 2 の画像再生セットでの C P U

30

40

50

ライトサイクルの更新時におけるオーバーレイVRAMの波形を示す波形図、図27は図22の画像再生セットでのCPUライトサイクルの非更新時におけるオーバーレイVRAMの波形を示す波形図、図28は図13の波形整形回路に入力されるCTL a, CTL cの波形を示す波形図、図29は図28の信号を図13のローパスフィルタを介したときの波形を示す波形図、図30は図29の信号を入力とした図13のシュミット入力インバータの出力波形を示す波形図、図31は図13のパワーオンリセット回路による内部リセットでの画像圧縮伸長装置のCPUのリセット信号、ブート源信号の波形を示す波形図、図32は図13のパソコンの高速通信I/Fからの外部制御信号での画像圧縮伸長装置のCPUのリセット信号、ブート源信号の波形を示す波形図、図33は図1のDMACによるのRGB画素のDMA転送時のバスデータの波形を示す波形図、図34は図1の画像圧縮伸長装置が処理する画像の画像画素の座標を示す画像画素座標図、図35は図1のDMACによるのY画素のDMA転送時のバスデータの波形を示す波形図、図36は図1の内視鏡観測装置のモニタ上の内視鏡画像のインデックスエリアを示す図、図37は図1の超音波内視鏡観測装置のモニタ上の超音波内視鏡画像のインデックスエリアを示す図、図38は図1のDMACによるのYUV画素のDMA転送時のバスデータの波形を示す波形図である。

10

20

30

40

50

【0019】

本実施例の内視鏡画像ファイリング装置は、図1に示すように、内視鏡による内視鏡像を撮像する内視鏡観測装置1aと、内視鏡による超音波像を得る超音波内視鏡観測装置2と、内視鏡観測装置1aまたは超音波内視鏡観測装置2からの画像を圧縮伸長処理する画像圧縮伸長装置3aとがビデオ信号ケーブル9、通信ケーブル10を介して接続されていて、さらに、画像圧縮伸長装置3aは、高速通信ケーブル35aによりパーソナルコンピュータ(以下、パソコンと略記する)4aと接続し、セット5aを構成する。

【0020】

セット5aから超音波内視鏡観測装置2を除く内視鏡観測装置1b, 画像圧縮伸長装置3b, パソコン4bとから構成されるセット5bも存在し、各々のセット5a, 5bの中のパソコン4a, 4bがネットワーク線6に接続されている。

【0021】

さらに、画像圧縮伸長装置3a, 3bにより圧縮された圧縮画像データを記憶管理するファイルサーバ7と、ファイルサーバ7に記憶管理されている圧縮画像データから画像を再生する画像再生セット8とが、同様にネットワーク線6に接続されている。なお、ファイルサーバ7は、ネットワークインターフェースを内蔵するホストコンピュータ36と磁気ディスク媒体等の記憶装置37とから構成される(以下、インターフェースをI/Fと略記する)。

【0022】

パソコン4aは、ネットワークモジュラ線36aによりネットワーク線6にパソコン4aを接続するためのネットワークI/F31aと、画像圧縮伸長装置3aと通信を行うための高速通信I/F32aと、画像データや制御データを格納するハードディスク34aとを備え、ネットワークI/F31aおよび高速通信I/F32aはパソコン4aの拡張スロットに増設されている。ハードディスクI/F33aは、ハードディスク34aとのインターフェースボードでパソコン4aの内部スロットに増設されている。なお、高速通信I/F32aは、全二重で高速のシリアル信号を送受信するものである。パソコン4bも同様に構成されている。

【0023】

以上が内視鏡画像ファイル装置の簡単な説明であり、以降に詳細な構成をさらに説明する。

【0024】

まず、セット5a中の画像圧縮伸長装置3aは、スイッチ11、A/D変換回路12、D/A変換回路13、フィールドメモリ14、CPU15、DMAコントローラ(以下、DMACと略記する)16、RAM17、VRAM18、オーバーレイVRAM19、通

信 I / F 2 0 , 2 1、高速通信 I / F 2 2、F P G A 回路 2 3、画像圧縮伸長回路 2 4、V p p 発生回路 2 5、フラッシュメモリ 2 6 で構成されている。

【 0 0 2 5 】

このうち、C P U 1 5、D M A C 1 6、R A M 1 7、V R A M 1 8、オーバーレイ V R A M 1 9、通信 I / F 2 0 , 2 1、高速通信 I / F 2 2、F P G A 回路 2 3、画像圧縮伸長回路 2 4、V p p 発生回路 2 5、フラッシュメモリ 2 6 が同一バス 2 7 で接続されている。また内視鏡観測装置 1 a、超音波内視鏡観測装置 2 からのビデオ信号はスイッチ 1 1 に入力されている。

【 0 0 2 6 】

また、スイッチ 1 1 と A / D 変換回路 1 2、A / D 変換回路 1 2 と V R A M 1 8 とフィールドメモリ 1 4、フィールドメモリ 1 4 と D / A 変換回路 1 3 が各映像信号路で結合している。 10

【 0 0 2 7 】

スイッチ 1 1 は、アナログスイッチからなり 2 種類の R , G , B , S (赤、緑、青、複合同期のセパレート映像信号) 入力から 1 つの R , G , B , S を選択するものである。

【 0 0 2 8 】

A / D 変換回路 1 2 は、スイッチ 1 1 から出力される R , G , B ビデオ信号をデジタル信号に変換するものである。

【 0 0 2 9 】

D / A 変換回路 1 3 は、フィールドメモリ 1 4 から出力される 2 4 ビット R , G , B デジタルビデオ信号とオーバーレイ V R A M 1 9 から出力される 4 ビットオーバーレイデータをスーパーインポーズしてアナログ信号に変換するものであり、オーバーレイ値が 0 0 0 0 b ではフィールドメモリ画像が出力、0 0 0 1 b ~ 1 1 1 1 b ではオーバーレイ値に対応するオーバーレイパレット色が出力される。これらのデータは、常時 D / A 変換回路 1 3 に入力される。 20

【 0 0 3 0 】

フィールドメモリ 1 4 は、各 2 4 ビットの入出力線を持ち、A / D 変換回路 1 2 または V R A M 1 8 からの画像データを入力し、フルカラー 1 フレームの画像を蓄えることのできる容量を持つ。これらのデータは、常時 D / A 変換回路 1 3 に入力される。

【 0 0 3 1 】

C P U 1 5 は、3 2 ビットデータバス (D B 3 1 ~ D B 0) を持つマイクロプロセッサで、リセット後のブート源が外部信号で選択可能な機能、D R A M のリフレッシュ機能を持つ。 30

【 0 0 3 2 】

D M A C 1 6 は、C P U 1 5 を停止させバス 2 7 を占有するものである。R A M 1 7 は、ダイナミック R A M で構成されている。V R A M 1 8 は、スタティック R A M で構成されており、原色の R G B 用、輝度色差の Y U V 用にそれぞれ 1 画素あたり 2 4 ビットフルカラーの記憶容量を持つ。オーバーレイ V R A M 1 9 は、スタティック R A M で構成されており、1 画素 4 ビットの記憶容量を持つ。

【 0 0 3 3 】

通信 I / F 2 0 , 2 1 は、R S 2 3 2 C 等で使用される全二重通信信号のシリアル信号と C P U 1 5 でアクセスするパラレル信号との間の変換を行うものである。高速通信 I / F 2 2 は、全二重で高速のシリアル信号を送受信するものである。 40

【 0 0 3 4 】

F P G A 回路 2 3 は、後述するいくつかの F P G A (フィールド・プログラマブル・ゲート・アレイ) からなり、通電後 C P U 1 5 が F P G A にデータを書き込むこと (コンフィグレーション) により所定の機能を果たすものである。

【 0 0 3 5 】

画像圧縮伸長回路 2 4 は、画像データと画像圧縮データの間の変換処理を行う。V p p 発生手段 2 5 は、1 2 V プログラム電圧の発生、検知を行う。フラッシュメモリ 2 6 は、 50

5 V 電源の他に 1.2 V プログラム電圧の供給が必要な種類のフラッシュメモリである。

【0036】

次に、上記の各ブロックの詳細な構成を説明する。

【0037】

まず、FPGA 回路 23 の詳しい説明を行う。

【0038】

FPGA 回路 23 は、図 2 に示すように、複数の FPGA からなり 用途別に

- (1) RGB 用 V RAM 画像取込 / 表示 FPGA 41
- (2) YUV 用 V RAM 画像取込 / 表示 FPGA 42
- (3) RGB 用 V RAM 画像圧縮伸長 FPGA 43
- (4) YUV 用 V RAM 画像圧縮伸長 FPGA 44
- (5) RGB 用 V RAM インデックスカラー画像圧縮伸長 FPGA 45
- (6) RGB 用 V RAM インデックス超音波画像圧縮伸長 FPGA 46
- (7) オーバーレイ用 V RAM 制御 FPGA 47
- (8) フィールドメモリ画像書込表示 FPGA 48
- (9) FIFO メモリ制御 FPGA 49

10

からなる。

【0039】

主な機能は、

- (1) RGB 用 V RAM 画像取込 / 表示 FPGA 41 : RGB 用 V RAM 画像取込・表示 20
時のアドレスの発生
 - (2) YUV 用 V RAM 画像取込 / 表示 FPGA 42 : YUV 用 V RAM 画像取込・表示
時のアドレスの発生
 - (3) RGB 用 V RAM 画像圧縮伸長 FPGA 43 : RGB 用 V RAM 画像圧縮伸長時の
アドレスの発生
 - (4) YUV 用 V RAM 画像圧縮伸長 FPGA 44 : YUV 用 V RAM 画像圧縮伸長時の
アドレスの発生
 - (5) RGB 用 V RAM インデックスカラー画像圧縮伸長 FPGA 45 : RGB 用 V R A
M カラーインデックス画像圧縮伸長時のアドレスの発生
 - (6) RGB 用 V RAM インデックス超音波画像圧縮伸長 FPGA 46 : R G B 用 V R A 30
M 超音波インデックス画像圧縮伸長時のアドレスの発生
 - (7) オーバーレイ用 V RAM 制御 FPGA 47 : オーバーレイ用 V RAM 画像表示のア
ドレスの発生、表示・CPU アクセスの切り替え制御信号の発生
 - (8) フィールドメモリ画像書込表示 FPGA 48 : フィールドメモリのリード、ライト
の制御信号を発生
 - (9) FIFO メモリ制御 FPGA 49 : 画像圧縮伸長回路 24 における FIFO メモリ
と画像圧縮伸長 LSI 間の圧縮データ転送制御信号の発生
- である。

【0040】

この中で 2 つの RGB 用 V RAM 画像取込 / 表示 FPGA 41、YUV 用 V RAM 画像 40
取込 / 表示 FPGA 42 は、それぞれコンフィグレーション時に書き込むデータに、画像
取込用、表示用の 2 種類が存在し、CPU 15 は画像圧縮伸長装置 3a の動作によりコン
フィグレーションするデータを選択し行う。

【0041】

また、これらの各 FPGA 41 ~ 49 は、表 1 に示すように、CPU 15 から 2 つのア
ドレスが割り付けられており、図 3 に示すように、このアドレスを入力してそれぞれ C P
U 15 のウェイト時間に違いを持たせるための CPU ウェイト信号を発生させるウェイト
回路 50 を有しており、CPU サイクルタイムに差を持たせるようになっている。

[表 1]

┌──────────┴──────────┬──────────┴──────────┐

50

【 0 0 4 9 】

また、図 8 は、R G B 用 V R A M 6 1 のアドレス線の接続も示している。同アドレス線は、C P U 1 5 からのアドレス線、R G B 用 V R A M 画像取込 / 表示 F P G A 4 1 , R G B 用 V R A M 画像圧縮伸長 F P G A 4 3 からのアドレス線、R G B 用 V R A M インデックスカラー画像圧縮伸長 F P G A 4 5 , R G B 用 V R A M インデックス超音波画像圧縮伸長 F P G A 4 6 からのアドレス線 (図 2 参照) が接続し、トライステートバッファ 7 4 、 F P G A 回路 2 3 のトライステート制御等で内 1 つのアドレスが入力されるようになっている。

【 0 0 5 0 】

Y U V 用 V - R A M 6 2 も同様に、図 9 に示すように、Y 用 U 用 V 用の個別の S R A M 10
8 1 , 8 2 , 8 3 からなる。なお、符号 8 4 , 8 5 はトライステートバッファである。

【 0 0 5 1 】

また、図 9 は、Y U V 用 V R A M 6 2 のアドレス線の接続も示している。同アドレス線は、C P U 1 5 からのアドレス線、Y U V 用 V R A M 画像取込 / 表示 F P G A 4 2 からのアドレス線、Y U V 用 V R A M 画像圧縮伸長 F P G A 4 4 からのアドレス線 (図 2 参照) が接続し、トライステートバッファ 8 4 , 8 5 、 F P G A 回路 2 3 のトライステート制御等で内 1 つのアドレスが入力されるようになっている。

【 0 0 5 2 】

図示しないが、これらの各 R , G , B , Y , U , V 用 S R A M の制御線も同様に C P U 20
1 5 、 D A M C 1 6 、 F P G A 4 1 ~ 4 6 (図 2 参照) の内 1 つが入力されるようになっている。

【 0 0 5 3 】

また、メモリに S R A M を使用しているため画像圧縮伸長に伴う画素データの複雑なアドレススキャンに柔軟に対応できる。

【 0 0 5 4 】

次にオーバーレイ V R A M 1 9 について説明する。

【 0 0 5 5 】

図 1 0 に示すように、オーバーレイ V R A M 1 9 は、オーバーレイ用 S R A M a 9 1 、
オーバーレイ用 S R A M b 9 2 、データバスバッファ 9 3 , 9 4 、双方向データバスバッ
ファ 9 5 , 9 6 からなり、実線で示された各データ線は 4 ビットの線で接続されている。 30

【 0 0 5 6 】

動作では 2 つのオーバーレイ用 S R A M a 9 1 , オーバーレイ用 S R A M b 9 2 の内、
常に一方が表示向け、他方が C P U アクセス向けとして機能する。このため、例えばオー
バーレイ用 S R A M b 9 2 が表示向け、オーバーレイ用 S R A M a 9 1 が C P U アクセス
向きの場合、データバスバッファ 9 3 , 9 4 の内、9 4 のみアクティブとなる。そしてオー
バーレイ用 V R A M 制御 F P G A 4 7 (図 2 参照) により読み出された 4 ビットデータ
が D / A 変換回路 1 3 に入力される。

【 0 0 5 7 】

この間、C P U アクセス向けは、オーバーレイ用 S R A M a 9 1 となり、C P U アクセス
時、双方向データバスバッファ 9 5 がアクティブとなり、オーバーレイ用 S R A M a 9 40
1 に C P U 1 5 がリード・ライト等を行う。表示の更新が発生するたびに、C P U 1 5 は
、この表示・C P U アクセスの割り振りを交換する。これは表示帰線期間中 (水平同期、
垂直同期、ブランキング期間等) に C P U 1 5 の要求からオーバーレイ用 V R A M 制御 F
P G A 4 7 (図 2 参照) によって行われる。

【 0 0 5 8 】

図 1 1 は、オーバーレイ用 V R A M 1 9 のアドレス線の接続を示している。なお、符号
9 7 、9 8 はトライステートバッファである。同アドレス線は、C P U 1 5 からのアドレ
ス線、オーバーレイ用 V R A M 制御 F P G A 4 7 からのアドレス線 (図 2 参照) が接続し
、トライステートバッファ 9 7 、または 9 8 、 F P G A 回路 2 3 のトライステート制御等
で内 1 つのアドレスが入力されるようになっている。

【 0 0 5 9 】

フィールドメモリ 1 4 と表示向けオーバーレイ用 S R A M a 9 1 またはオーバーレイ用 S R A M b 9 2 は、常にビデオレートでデータが読み出されており D / A 変換回路 1 3 でスーパーインポーズ後、アナログ信号に変換されビデオ信号として出力されている。

【 0 0 6 0 】

次に、高速通信 I / F 2 2 について説明する。

【 0 0 6 1 】

図 1 2 に示すように、高速通信 I / F 2 2 は、パソコン 4 a の高速通信 I / F 3 2 a と高速通信ケーブル 3 5 a を介して接続しており、互いのデータの送受信、電源電圧のモニタが可能である。さらにパソコン 4 a 側から高速通信ケーブル 3 5 a により C T L a , C T L b , C T L c の制御信号が入力されている。なお、C T L a , C T L b , C T L c は、外部からのリセット信号が可能な状態に切り替える為の信号で、特に、C T L a はパソコンから画像圧縮伸長装置にリセットを要求する信号としても機能する。

【 0 0 6 2 】

詳細には、図 1 3 に示すように、パソコン 4 a の高速通信 I / F 3 2 a にパソコン 4 a から制御される C T L a , C T L b , C T L c の信号を出力するポートが設けられている。高速通信 I / F 2 2 の内部では、C T L a , C T L b , C T L c 信号はそれぞれ波形整形回路 1 0 0 , 1 0 1 , 1 0 2 に入力され、その出力が演算処理回路 1 0 3 に入力される、さらにこの出力が C P U 1 5 等にリセット信号、ブート源信号として供給されている。また C P U 1 5 から演算処理回路 1 0 3 に、外部制御不可信号線が入力されている。

【 0 0 6 3 】

演算処理回路 1 0 3 の内部は、パワーオンリセット回路 1 0 4 、フリップフロップ 1 0 5 、その他複数の論理回路 1 0 6 、1 0 7 、1 0 8 、1 0 9 、1 1 0 から構成される。

【 0 0 6 4 】

C T L a , C T L b , C T L c は、パソコン 4 a の電源 O N でそれぞれ H i g h に初期化される。

【 0 0 6 5 】

C P U 1 5 は、リセット解除後のブート源の端子の状態により表 2 で示す動作を開始する。

[表 2]

リセット時の ブート源端子	H i g h	L o w
リセット解除後の C P U 動作	フラッシュメモリ上の データを参照し実行を 開始する	高速通信 I / F からの データによりメモリ上 にデータを展開または 実行を開始する

これにより、画像圧縮伸長装置 3 a は、電源 O N 後にフラッシュメモリ 2 6 のプログラムデータを参照実行する他に、外部からの C T L a , C T L b , C T L c の信号の操作により、高速通信 I / F 2 2 からのデータを R A M 1 7 上に展開し実行することができる。

【 0 0 6 6 】

波形整形回路 1 0 0 , 1 0 1 は同じ内部構成からなり、図 1 4 に示すように、シュミット入力バッファ 1 1 1 と、抵抗 1 1 2 およびコンデンサ 1 1 3 からなるローパスフィルタ 1 1 4 と、抵抗 1 1 5 と、シュミット入力インバータ 1 1 6 からなる。波形整形回路 1 0 2 の内部構成を図 1 5 に示す。シュミット入力バッファ 1 2 1 、ダイオード 1 2 2 と抵抗 1 2 3 および 1 2 4 とコンデンサ 1 2 5 からなるローパスフィルタ 1 2 6 と、抵抗 1 2 7

と、シュミット入力インバータ 1 2 8 からなる。

【 0 0 6 7 】

抵抗 1 1 5 , 1 2 7 は保護抵抗である。抵抗 1 2 3 の抵抗値は抵抗 1 1 2 の抵抗値より大きく、抵抗 1 2 4 の抵抗値は抵抗 1 1 2 の抵抗値より小さい。コンデンサ 1 1 3 , 1 2 5 の容量は同じである。

【 0 0 6 8 】

次に、画像圧縮伸長回路 2 4 の内部を詳しく説明する。画像圧縮伸長回路 2 4 は、図 1 6 に示すように 3 つの画像圧縮伸長ブロック 1 3 1 , 1 3 2 , 1 3 3 からなる。

【 0 0 6 9 】

画像圧縮伸長ブロック 1 3 1 , 1 3 2 , 1 3 3 は同じ構成であり、詳細に説明すると、
図 1 7 に示すように、画像圧縮伸長ブロック 1 3 1 (1 3 2 , 1 3 3) は、画像圧縮伸長
L S I 1 3 4 、双方向バスバッファ 1 3 5 , 1 3 6 、バスサイズ変換回路 1 3 7 , 1 3 8
、 F I F O メモリ 1 3 9 , 1 4 0 、データセクタ 1 4 1 , 1 4 2 からなる。画像圧縮伸
長 L S I 1 3 4 は、8 ビットのイメージ線 1 4 3 と 2 つの 8 ビットデータ線 1 4 4 , 1 4
5 を持つ。

10

【 0 0 7 0 】

バスサイズ変換回路 1 3 7 は、時間的に連続する 2 つの 1 6 ビットデータを結合し 1 つ
の 3 2 ビットデータに変換するもので、図 1 8 の (1) のように 1 語目、2 語目の 1 6 ビ
ットデータが 3 2 ビットデータに変換される。なおこの結合順序は、設定により任意で行
える。

20

【 0 0 7 1 】

また、バスサイズ変換回路 1 3 8 は、1 つの 3 2 ビットデータを時間的に連続する 2 つ
の 1 6 ビットデータに変換するもので、図 1 8 の (2) のように 1 つの 3 2 ビットデータ
が 1 語目、2 語目の 1 6 ビットデータに変換される。なおこの結合順序は、設定により任
意で行える。

【 0 0 7 2 】

データセクタ 1 4 1 、1 4 2 は、2 つの 8 ビットデータを入力し、2 つの 8 ビットデ
ータを出力するもので、C P U 1 5 の指定により 2 つの 8 ビットデータの対応を入れ替え
ることもできる。このため画像圧縮伸長 L S I 1 3 4 のデータ線 1 4 4 , 1 4 5 - バス 2
7 間で図 1 8 の (3) ~ (6) 等の変換も可能となる。

30

【 0 0 7 3 】

C P U 1 5 、D M A C 1 6 から画像圧縮伸長 L S I 1 3 4 のデータ線へのアクセス路と
して、双方向バスバッファ 1 3 5 , 1 3 6 を介する方法、バイトサイズ変換回路 1 3 7 ,
1 3 8 、F I F O メモリ 1 3 9 , 1 4 0 、データセクタ 1 4 1 , 1 4 2 を介す方法があ
る。

【 0 0 7 4 】

3 つのブロックに存在するイメージ線 1 4 3 は、それぞれバス 2 7 に図 1 9 のように対
応して接続している。一方、画像圧縮伸長ブロック 1 3 1 , 1 3 2 , 1 3 3 の 8 ビット
データ線 1 4 4 , 1 4 5 は、それぞれ図 1 7 のようにすべて同様に双方向バスバッファ 1
3 5 、1 3 6 を介しバス 2 7 に図 2 0 のように対応して接続している。

40

【 0 0 7 5 】

なお、これら画像圧縮伸長ブロック 1 3 1 , 1 3 2 , 1 3 3 をまとめて説明した。画像
圧縮伸長時、これらイメージ線 1 4 3 からデータ入出力は、互いに同期するが、画像圧縮
データは、それぞれ独立して流れる。

【 0 0 7 6 】

次に、V p p 発生回路 2 5 の内部を詳しく説明する。これは、図 2 1 に示すように、V
p p 生成回路 1 5 1 と V p p 検知回路 1 5 3 からなる。V p p 生成回路 1 5 1 は、画像圧
縮装置 3 a 内の 5 V 電源からの 5 V 電圧をヒューズを介した後、スイッチング回路で 1 2
V 電圧に昇圧する回路からなり、この回路の動作・停止は、C P U 1 5 から制御可能とな
っている。V p p 生成回路 1 5 1 で昇圧した出力は、V p p 検知回路 1 5 3 、フラッシュ

50

メモリ 26 のプログラム電圧端子 (Vpp 端子) に供給される。Vpp 検知回路 153 は、Vpp 生成回路 151 からの供給電圧を 1/6 に分圧する分圧回路 154 と、この分圧回路 154 の出力と基準電圧 155 からの 1.9V とを比較し昇圧出力電圧が 11.4V に達しているか検知する比較回路 156 からなり、比較結果は、CPU 15 から入力ポートを読むことで参照できる。

【0077】

次に画像再生セット 8 について説明する。

【0078】

図 22 に示すように、画像再生セット 8 は、画像圧縮伸長装置 3a とほとんど同じであるので、異なる構成のみ説明し、同一の構成には同じ符号をつけ説明は省略する (図 1 参照)。 10

【0079】

画像再生セット 8 は、モニタ 161、162 が画像伸長装置 163 に接続され、さらに画像伸長装置 163 が高速通信ケーブル 35a によりパソコン 4a と接続し構成される。

【0080】

画像再生セット 8 の内、画像伸長装置 163 は、D/A 変換回路 166a、166b、フィールドメモリ 164、165、CPU 15、DMAC 16、RAM 17、VRAM 18、オーバーレイ VRAM 167、高速通信インターフェース 22、FPGA 回路 23、画像圧縮伸長回路 24、Vpp 発生回路 25、フラッシュメモリ 26 で構成され、CPU 15、DMAC 16、RAM 17、VRAM 18、オーバーレイ VRAM 167、高速通信 I/F 22、FPGA 回路 23、画像圧縮伸長回路 24、Vpp 発生回路 25、フラッシュメモリ 26 が同一バス 27 で接続されている。 20

【0081】

また、VRAM 18 とフィールドメモリ 164 とフィールドメモリ 165、フィールドメモリ 164 と D/A 変換回路 166a、フィールドメモリ 165 と D/A 変換回路 166b が各映像信号路で結合している。

【0082】

D/A 変換回路 166a、166b は、それぞれフィールドメモリ 164、165 から出力される 24 ビット R、G、B デジタルビデオ信号とオーバーレイ VRAM 167 から出力される各 4 ビットオーバーレイデータをスーパーインポーズしてアナログ信号に変換するものである。他は、図 1 の D/A 変換回路 13 と同様である。 30

【0083】

フィールドメモリ 164、165 は、1 フレームの画像を蓄えることのできる容量を持つ。他は、図 1 のフィールドメモリ 14 と同様である。

【0084】

オーバーレイ VRAM 167 は、スタティック RAM で構成されており、4 ビット + 4 ビットの記憶容量を持つ。図 10 に示すように、各部が 4 ビットではなく 8 ビット線で接続されている点を除けば、オーバーレイ VRAM 19 と同様である。このオーバーレイ VRAM 167 の双方向データバスバッファ 95a、96a は特殊で、さらに内部ブロック図を図 23 に示す。 40

【0085】

図 23 に示すように、オーバーレイ用 SRAM a91 は、8 ビット幅のデータ線を持つ SRAM からなり、内 2 つの 4 ビット線に分けてそれぞれラッチ 171、172、データセクタ 173、174 を介しトライステートバッファ 175、176、バス 27 に接続している。

【0086】

ラッチ 171、172 の D 端子はデータ入力、Q 端子はラッチ出力、CLK 端子はクロック入力である。

【0087】

データセクタ 173、174 の A、B 端子は各入力、S 端子は選択入力、K 端子は出 50

力である ($K = A * / S + B * S$)。G 端子は出力イネーブルである。

【0088】

トライステートバッファ 175, 176 の I 端子は入力、O 端子は出力、ENA 端子は出力イネーブルである。

【0089】

各 D, Q, A, B, K, I, O 端子は 4 ビット線となっている。

【0090】

またオーバーレイ用 SRAM a 91 の各 4 ビットに分けられたデータ線は、各 4 ビットがそれぞれの D/A 変換回路 166a, 166b に対応して分けられている。

【0091】

以上は、双方向データバスバッファ 96a に関しても同様である。

【0092】

CPU 15 がオーバーレイ VRAM 167 をアクセスする場合の波形を図 24 に示す。
/CS、/OE、/WE は、SRAM の一般的な端子でそれぞれチップセレクト、アウト
プットイネーブル、ライトイネーブルである。CLK は CPU アクセスサイクルごとに生
成される信号である。なお、記号 “/” は負論理を示す。

【0093】

オーバーレイ用 SRAM a 91 が CPU アクセス用とすると、1 つの CPU アクセスサ
イクルの間、オーバーレイ用 SRAM a 91 を前半にリードしデータをラッチ 171, 1
72 に記憶して、後半でデータセクタ 173, 174 の出力を書き込む動作が行われる
。

【0094】

データセクタ 173, 174 の S 端子は、個別に制御が可能で、図 25 に示すように
、CPU リードサイクル時は Low となり、ENA 端子は High となってラッチ 171
、172 に記憶されているリードデータがトライステートバッファ 175, 176 を介し
出力されバス 27 に有効データが出力される。

【0095】

CPU 15 のライト動作で有効データを更新する場合、図 26 に示すように、S 端子は
High となり、CPU ライトサイクル時は、バス 27 からのライトデータがデータセ
クタ 173, 174 を介しオーバーレイ用 SRAM a 91 に入力される。

【0096】

更新しない場合、図 27 に示すように、S 端子は Low となり、ラッチ 171, 172
で記憶されているリードデータがデータセクタ 173, 174 を介しオーバーレイ用 S
RAM a 91 に入力される。

【0097】

このため、ライトサイクル時 2 系統の S 端子を別々に制御することで、8 ビットデー
タ線の内 4 ビットのためのデータ更新が 1 つの CPU ライトサイクルで可能となる。

【0098】

フィールドメモリ 164, 165 とオーバーレイ VRAM 167 は、常にビデオレート
でデータが読み出されており D/A 変換回路 166a, 166b で各々スーパーインポー
ズ後、各々アナログ信号に変換されビデオ信号として出力されている。

【0099】

次に、このように構成された本実施例の内視鏡画像ファイリング装置の作用について説
明する。

【0100】

画像圧縮伸長装置インストール時、画像圧縮伸長装置 3a が動作するには、まずフラッ
シュメモリ上にプログラムデータが書かれていなければならない。ここでは、まずこのフ
ラッシュメモリの書き込み動作の説明をする。

【0101】

表 2 に示したように、CPU 15 は、リセット解除後、ブート源の端子の状態により、

10

20

30

40

50

「CPUはフラッシュメモリ上のプログラムを読み込み実行する機能」及び、「CPUはソフトウェアを使用せず、高速通信ケーブルから伝送され高速通信I/Fで受信するプログラムデータをメモリ上に展開し同プログラムの実行を開始する機能」も持つ。

【0102】

フラッシュメモリ書き込みには、後者の機能を使用する。

【0103】

動作の概要

図13に示したように、パソコン4aからのCTL a, CTL b, CTL c 信号は、高速通信I/F22において波形整形回路100, 101, 102を介して演算処理回路103に入力される。論理回路108は、CTL aとフリップフロップ105のQ出力信号が同時に入力された時、CPU15に対してリセット信号を出力し、リセットが行われる。この後パソコン4aからプログラムデータがブートされる。

10

【0104】

次に図13を参照し、パソコン4aのON/OFFが行われた場合を考える。CTL a, CTL c 信号は、それぞれ波形整形回路100, 102に入力され、波形整形される。図14及び図15に示したように、波形整形回路100, 102の内部では、入力CTL a, CTL c 信号をシュミット入力バッファ111, 121により図28に示すような波形に波形整形する。次に、抵抗112とコンデンサ113、及び抵抗123, 124とコンデンサ125からなるローパスフィルタ114, 125により図29に示すような波形になる。この時、波形整形回路102ではダイオード122により、信号が立ち上がる時は抵抗123に、信号が立ち下がる時は主に抵抗124に電流が流れる。ここで、抵抗123, 124の抵抗値の違いにより、図29のa, a', c, c' に示すように立ち上がり時間、立ち下がり時間が異なる波形となる。最後にシュミット入力インバータ116, 128を通り、信号は図30の示す波形が出力される。このためフリップフロップ105のクロックは一定で、同Q出力は、Lowのままである。

20

【0105】

画像圧縮伸長装置3aの電源が入った後は、フリップフロップ105は、パワーオンリセット回路104により、図31に示すように、最初Lowに初期化されており、外部からCPU15のリセット信号、ブート源信号は、変更できずどちらもHighである。

【0106】

しかし、図32で示すシーケンスを図29のa, a', c, c' に対して十分長い間隔をおいて時間をかけて信号を切り換え実行することにより、フリップフロップ105のQ出力がHighにでき、さらにブート源端子がLowでリセットされる。よって外部高速通信I/Fからのフラッシュメモリ書き込みプログラムデータを展開、実行することもできる。また、この実行後、すぐに外部制御不可信号をCPU15が演算処理回路103に与えるものとする。

30

【0107】

これにより、フリップフロップ105のQ出力は、再度Lowとなり外部からのリセット等の制御が行えなくなる。

【0108】

よって、パソコン4aからのCPU15のブート後、何らかの原因によってパソコン4aの電源が切れて、パソコン4aからのCTL a, CTL b, CTL c 出力信号は一斉にローレベルとなる場合でも、誤って画像圧縮伸長装置3aのCPU15がリセットされることはない。

40

【0109】

またパソコン4aからCTL a, CTL b, CTL c 制御時、波形整形回路100, 101, 102は、CTL a, CTL b, CTL c に混入した静電気等のノイズを除去する効果もある。

【0110】

以上、伝送したプログラムデータをCPU15が実行し完了するとフラッシュメモリ2

50

6の書き込みが終了する。なお、このフラッシュメモリ26の書き込み処理を簡単に述べる。図21を参照すると、まずCPU15は、Vpp生成回路151をONしVpp検知回路153によりVpp電圧が11.4Vに達しているか確認する。十分なセットアップ時間経過してもVpp電圧が11.4Vに達しない場合ハードウェアエラーとして処理を終了する。11.4Vに達すれば、CPU15は、フラッシュメモリ26に対してイレースコマンド、ライトコマンドを発行して消去、書き込みを行う。この間イレースエラー、ライトエラー等発生した場合、リトライ、Vpp電圧の確認等の処理を行う。必要に応じてこのようなエラー歴は、正常なフラッシュメモリエリアに書き込んでよい。またこの過程でVpp発生回路151がONにもかかわらず、Vpp電圧の低下等が確認された場合、Vpp生成回路151のヒューズ等の故障判断に使用できる。またVpp生成回路151のON後、Vpp電圧をモニタすることにより必要以上のセットアップ時間の待ちを省略でき処理がより高速になる。さらに前記エラー歴を書き込むのは、内視鏡画像ファイルシステム動作中にその操作者の誤った操作、設定等によるシステムエラー情報でもよい。

【0111】

検査時の動作

動作の概略

以上のインストール(フラッシュメモリ26の書込)が完了後、内視鏡画像ファイル装置として動作が可能となる。

【0112】

検査が始まり、内視鏡観測装置1aまたは、超音波内視鏡観測装置2の図示しない付属のキーボード等から患者IDが入力される(図1参照)。次に、内視鏡観測装置1aまたは超音波内視鏡観測装置2にリリース操作が行われると、その時の画像が画像圧縮伸長装置3aで圧縮され、ファイルサーバ7に記録されていく。

【0113】

以下にセット5aの動作を詳しく説明する。セット5aに電源が一斉に投入されてからの動きを説明する。

【0114】

まず、画像圧縮伸長装置3aに電源が供給されると、CPU15は、フラッシュメモリ26上のプログラムを実行開始する。この内、最初に初期化ルーチンとして、RAM17、VRAM18、オーバーレイVRAM19の初期化、FPGA回路23のコンフィグレーション(表1のアドレス0120等のアクセスによる)、画像圧縮伸長回路24の初期化等を実行する。なおこの時のFPGA41,42はサイクルタイムの短いアドレスが参照されて画像取込としてのコンフィグレーションが行われる。

【0115】

また、パソコン4aに電源が投入されると、通常のパソコン同様、図示しないCPUが自己診断プログラムによるハードウェア診断パス後、ハードディスク34a上にある起動プログラム、OS、アプリケーションプログラムを内蔵メモリに展開し実行を開始する。

【0116】

画像圧縮伸長装置3aは起動後、パソコン4aに電源が投入されていることをモニタした場合、ある一定時間の憂慮時間を持って、ネットワーク接続確立済みのパソコン4aと通信が行えるか試み、通信が確立された場合、検査開始可能な状態となる。

【0117】

検査開始に伴い、内視鏡観測装置1aまたは、超音波観測装置2の図示しない付属のキーボード等から患者IDが入力される。この時、同観測装置から画像圧縮装置3aに通信ケーブル10を介して患者IDが送信される。次に、画像圧縮装置3aは、このIDから患者名等の患者情報を得るため、患者IDと患者情報要求コマンドを高速通信ケーブル35aを介して、パソコン4aに送信する。

【0118】

パソコン4aでは、受信した患者IDを元にして、ネットワーク線6を介しファイルサ

ーバ 7 に存在するデータベースから検索処理を行い、求める患者情報を得る。そして同患者情報を高速通信ケーブル 35a を介して画像圧縮装置 3a に送信する。

【0119】

画像圧縮伸長装置 3a では、得られた患者情報を、通信ケーブル 10 を介し内視鏡画像観測装置 1a、超音波内視鏡観測装置 2 に送信する。これにより受信された患者情報は、内視鏡観測装置 1a、超音波内視鏡観測装置 2 に付随のモニタ画面の所定位置に表示される。ここまでの処理で画像の記録が可能な状態となる。

【0120】

次に、内視鏡観測装置 1a にリリース操作が行われた場合の処理を説明する。

【0121】

内視鏡観測装置 1a に付随するリリース操作手段に操作が行われると、リリースを意味するコマンドが、通信ケーブル 10 を介して、画像圧縮装置 3a に送信される。これは、通信 I/F 20 で受信される。この受信されたデータの存在は、通信 I/F 20 から CPU 15 に結ばれる図示しない割り込み線がアクティブになることにより、CPU 15 に知らされる。

【0122】

これにより CPU 15 は、通信 I/F 20 で受信されたデータを読み込み解読することにより、内視鏡観測装置 1a からリリース操作が行われたことを認識する。

【0123】

次に、CPU 15 は、スイッチ 11 を内視鏡観測装置 1a 側に切り替える。これにより、内視鏡観測装置 1a から映像ケーブル 9 を介して、R、G、B、S 信号を形成する 4 系統の映像信号スイッチ 11 を通り、A/D 変換回路 12 に入力される。A/D 変換回路 12 には、R、G、B の映像信号が入力され各々 8 ビットのデジタル信号に変換され R、G、B 映像信号が出力される。

【0124】

またスイッチ 11 から出力された S 信号は、水平、垂直同期信号に分離され図示しない PLL 回路によりビデオ信号のドットクロックの生成、及び FPG A 回路 23 に使用され、入力される映像信号と取り込みタイミングの基準信号として使用される。またこのクロックは、A/D 変換回路 12 の変換クロックとしても使用される。

【0125】

出力される R、G、B デジタル信号は、VRAM 18 に送られる。

【0126】

CPU 15 は、FPG A 回路 23 を操作することにより、VRAM 18 及びフィールドメモリ 14 に画像 1 フレームの取り込みを指示する。これは、図 5 の双方向データバスバッファ 63、RGB/YUV 変換双方向マトリックス 66 が RGB→YUV 変換でアクティブとなり、A/D 変換回路 12 からのデータが RGB 用 VRAM 61 に書き込まれる。また RGB/YUV 変換双方向マトリックス 66 を介して RGB から YUV データに変換されたデータも同時に YUV 用 VRAM 62 に書き込まれる。さらに同時にフィールドメモリ 14 にも書き込まれる。

【0127】

その後、CPU 15 は、FPG A 回路 23 にリードするデータにより 1 フレームの取り込み完了を認識する。このため 1 フレームの時間内で原色 RGB と輝度色差 YUV の両方の画像データが取り込まれる。またフィールドメモリ 14 では取り込んだ画像データが D/A 変換回路 13 に出力され、これが静止画として映像ケーブル 9 を介して内視鏡観測装置 1a に送られる。この画像は、内視鏡観測装置 1a に所定の操作を行うことで内視鏡観測装置 1a に付随するモニタに表示できる。

【0128】

またこのように画像取り込み、画像フリーズのために別々のメモリを用いることで、GSP とデュアルポート D-RAM を使用した時に起こる動画 - フリーズ画像間での 1H 表示ずれが回避される。

10

20

30

40

50

【 0 1 2 9 】

また、以上のリリースに対する処理では、画像を1フレームの間、取り込んだが、リリースが行われるまで画像を連続して取り込み・フィールドメモリの書き込みを行い、リリースを受けて同取り込み・同書き込みを停止してもよい。

【 0 1 3 0 】

ところで、RGB用V-RAM61、YUV用V-RAM62は、共に画像データが取り込まれた所で画像の圧縮を行う。

【 0 1 3 1 】

この圧縮には、RGB画像、YUV画像、インデックス画像の3つの処理があり、以下にそれぞれを説明する。なお、インデックス画像とは、全画面に記録画像を再生するに当たり、多数ある全画面用記録画像の中から1つを指定するために使用される画像であり、具体的には全画面用記録画像の一部の領域を縮小した画像からなり、複数のインデックス画像をモニタに表示し、その中から1つをポインティングすることにより全画面用記録画像を指定することになる。

10

【 0 1 3 2 】

(1) RGB画像圧縮について：

まず適する画像観測装置に対応した、この場合では、RGB用VRAM画像圧縮伸長FPGA43にカラー画像圧縮動作の設定をし(表1のアドレス8120等のサイクルタイムの長い方をアクセスする)、画像圧縮伸長ブロック131、132、133の各画像圧縮伸長LSI134に双方向バスバッファ135、136を介して圧縮コマンドを発行する(図16および図17参照)。

20

【 0 1 3 3 】

これにより画像圧縮伸長LSI134がDMAC16に画像データの要求を行う。これに伴いDMAC16がCPU15にバス要求を行い、CPU15からDMAC16にバス27が渡されると、このRGB用VRAM画像圧縮伸長FPGA43は規則的にアドレスを発生し、図33のように所定時間バス27及びイメージ線143上に所定画素数の画素データを流す。DMAC16はこれに合わせて画像圧縮伸長LSI134に画素データを書き込む信号を発生する。そしてバス27がCPU15に戻される。このDMA転送は、所定のエリアの圧縮処理が行われるまで何度も行われる。CPU15は、FIFOメモリ139から空読みしない範囲で圧縮データをRAM17に転送する。

30

【 0 1 3 4 】

この時の2つの16ビットの同データはバスサイズ変換回路137により1つの32ビットデータとしFIFOメモリ139からCPU15に読み出される。FIFOメモリ制御FPGA49は、FIFOメモリ139 - 画像圧縮伸長LSI134間の同データの転送を行う。

【 0 1 3 5 】

以上の動作を続けることにより同データの圧縮が終了する。画像圧縮伸長LSI134内部に全ての画素データが送られると、このDMAC16のバス要求は停止する。

【 0 1 3 6 】

圧縮動作終了の確認は、CPU15がFIFOメモリ139 - 画像圧縮伸長LSI134の転送を停止させ、双方向データバスバッファ135、136を介して画像圧縮伸長LSI134のレジスタを参照することにより行う。

40

【 0 1 3 7 】

画像圧縮データが全てRAM17上に転送されたところで、CPU15は、パソコン4aに画像圧縮データを転送する。パソコン4aでは、同データをファイルサーバ7に転送記録する。

【 0 1 3 8 】

なお、最後に読んだ圧縮データの内、空データのワードは、FIFOメモリ制御FPGA49をアクセスすることでカウントしたワード長を認識する。

【 0 1 3 9 】

50

以上のように1つのバスをCPU15とDMAC16が共有することで、簡易で安価な装置となる。また特公平4-125080号公報のように、CPUバスの他に別のバスを持つ構成に比べ2つのバスに接続可能となるように周辺回路が2系統のバスバッファ等を持つ必要もなくなり、本構成ではCPUバス上の全ての周辺装置を対象として、データ転送することもでき柔軟性の高いものとなる。

【0140】

(2) YUV画像圧縮について：

次に、YUV用VRAM画像圧縮伸長FPGA44にカラー画像圧縮動作の設定をし、画像圧縮伸長ブロック131の画像圧縮伸長LSI134に双方向バスバッファ135、136を介して圧縮コマンドを発行する以下の処理は、RGB画像の時と同様である。なお、この時YUVプレーンからDMA転送する画素数は、Yプレーンに関しては全画面の半分、UVプレーンに関しては、全画面分の領域について行う。ただしUVプレーンは、2画素につき1画素の割合で間引く。このためY、U、V画素でのDMA転送数は同じとなる。

【0141】

図34は、説明のため画素数を少なくして画面中の画素を座標で示したものである。この時、1回のDMA転送で転送されるのは、Y画素では(0,0)(1,0)(2,0)(3,0)次は(4,0)...(7,4)である。U、V画素では例えば(0,0)(2,0)(4,0)(6,0)次は(0,1)...(6,9)である。

【0142】

続いて、YUV用VRAM画像圧縮伸長FPGA44に残るYプレーン領域の画像圧縮動作の設定をし、画像圧縮伸長LSI134に双方向バスバッファ135、136を介して圧縮コマンドを発行する。

【0143】

以下の処理も、RGB画像の時と同様であるが、図35に示すように、処理を行うのは、画像圧縮伸長ブロック131のみとなる。なお、この時、DMA転送される画素データはYのみとなる。図34では、Y画素の(0,5)(1,5)(2,5)(3,5)次は(4,5)...(7,9)である。

【0144】

画像圧縮データが全てRAM17上に転送されたところで、CPU15は、パソコン4aに画像圧縮データを転送する。パソコン4aでは、同データをファイルサーバ7に転送記録する。

【0145】

(3) インデックス画像圧縮について：

次に、RGB用VRAMインデックス画像圧縮伸長FPGA45に画像圧縮動作の設定をし、画像圧縮伸長ブロック131、132、133の各画像圧縮伸長LSI134に双方向バスバッファ135、136を介して圧縮コマンドを発行する。以下の処理は、RGB画像の時と同様である。ただし、画像圧縮、DMA転送される画素は、図36で示されるように全画面の一部の領域で、さらに1/3に間引き縮小されるため画素数が少なくなる。インデックスエリアが384×378で示されるが、1/3で間引かれ128×126の画素として圧縮される。

【0146】

画像圧縮データが全てRAM17上に転送されたところで、CPU15は、パソコン4aに画像圧縮データを転送する。パソコン4aでは、同データをファイルサーバ7に転送記録する。そして最後に画像源の観測装置が内視鏡画像観測装置1aか超音波内視鏡観測装置2かの識別子も同様に転送記録しておく。

【0147】

以上の処理が内視鏡観測装置1aのリリースが行われるごとに進められる。

【0148】

次に、超音波内視鏡観測装置2にリリース操作が行われた場合の圧縮処理を説明する。

【0149】

超音波内視鏡観測装置2に付随するリリース操作手段に操作が行われると、リリースを意味するコマンドが、通信ケーブル10を介して、画像圧縮装置3aに送信される。これは、通信I/F21で受信される。この受信されたデータの存在は、通信I/F21からCPU15に結ばれる図示しない割り込み線がアクティブになることにより、CPU15に知らされる。

【0150】

これによりCPU15は、通信I/F21で受信されたデータを読み込み解読することにより、超音波内視鏡観測装置2からリリース操作が行われたことを認識する。

【0151】

次に、CPU15は、スイッチ11を超音波内視鏡観測装置2側に切り替える。これにより、超音波内視鏡観測装置2から映像ケーブル9を介して、R、G、B、S信号を形成する4系統の映像信号もしくは3つに分配されたモノクロコンポジット信号がスイッチ11を通り、A/D変換回路12に入力される。

【0152】

以下内視鏡観測装置1aでリリースが行われた時の処理とほぼ同様なため説明は省略する。

【0153】

以下の処理で異なる点は、超音波内視鏡画像は、モノクロなため、RGB画像圧縮処理で、画像圧縮するプレーンは、R、G、Bの内1つのみである。

【0154】

同様に、YUV画像圧縮処理で、画像圧縮するプレーンは、Yのみである。

【0155】

RGBインデックス画像圧縮処理で、画像圧縮するプレーンは、R、G、Bの内1つのみである。

【0156】

またこのインデックス画像圧縮時参照する画像エリアは異なり、縮小比率も1/4と変化する。図37で示すと、インデックスエリアが480×448で示されるが、1/4で間引かれ128×112の画素として圧縮される。

【0157】

このように画像観測装置の種類によりインデックスエリア、縮小比に違いを持たせることで、それぞれ見やすいインデックス画像が得られる。

【0158】

なお以上の処理の過程で、画像圧縮伸長LSI134から作られる圧縮データで最後の語がデータ線144、145幅等に合わず、語中に圧縮データが詰められていないビットが生じた場合、語中の圧縮データが詰められていないビットには適当に何らかのビットデータを詰めて処理する種類の画像圧縮伸長LSI134では、そのまま最後の語もFIFFメモリ139経由でCPU15に読まれる。また同ビットを含む語が生じた場合、同語を画像圧縮伸長LSI134内で保持する種類のものでは、同語のみ、双方向データバスバッファ135、136を介しCPU15が直接読み出して処理してもよい。もしくは、圧縮が必要な画像領域を超えて圧縮を続け、必要領域分の画像圧縮データが出力されたところで圧縮処理を停止させてもよく、どんな種類の画像圧縮伸長LSIも使用可能となる。

【0159】

また今回の画像圧縮伸長装置3aのブートは、フラッシュメモリ26から行ったが、インストール時のようにパソコンからプログラムデータをブートデータに送り、行ってもよい。ただし前者のようにフラッシュメモリ26から行くと、操作者等の操作の誤り等でパソコン4aの電源の入っていない等でも画像圧縮伸長装置3a単体で動作し圧縮画像をフラッシュメモリ26内に保持することも可能である。

【0160】

最後に検査終了を意味する操作が内視鏡観測装置に行われ、パソコン 4 a からファイルサーバに一連の画像圧縮データファイルのクローズ処理が行われる。

【0161】

次に、このようにファイルサーバに記録された圧縮画像を検索再生する処理について説明する。

【0162】

まず、検査終了後、セット 5 a で画像を再生する処理を述べる。

【0163】

内視鏡観測装置 1 a の図示しない付属のキーボード等から検索操作が行われ、さらに患者 ID が入力される。すると該当する最新の検査での記録画像のインデックス画像がファイルサーバから画像圧縮伸長装置 3 a に転送される。これらが画像伸長され、内視鏡画像観測装置 1 a のモニタに映像ケーブルを介してこの（内視鏡画像、超音波内視鏡画像等の混在した）インデックス画像が表示される。この内 1 つをパソコン 4 a に付随する図示しないトラックボール等で指定すると、全画面が内視鏡観測装置 1 a のモニタ画面に再生される。

10

【0164】

以下にセット 5 a の再生動作の詳しい説明をする。

【0165】

内視鏡観測装置 1 a の図示しない付属のキーボード等から検索操作及び、患者 ID が入力される。この時、同観測装置から画像圧縮装置 3 a に通信ケーブル 10 を介して検索操作を意味するデータ及び、患者 ID が送信される。次に、画像圧縮装置 3 a は、検索操作を認識して、FPGA 回路 23 の画像取込 / 表示 FPGA 41, 42 を画像表示としての再コンフィグレーションを行う。また受信した ID を高速通信ケーブル 35 a を介して、パソコン 4 a に送信する。

20

【0166】

パソコン 4 a では、受信した患者 ID を元にして、ネットワーク線 6 を介しファイルサーバに存在するデータベースから検索処理を行い、求める患者情報を得る。そして同検査画像のインデックス画像データを高速通信ケーブル 35 a を介して画像圧縮装置 3 a に送信する。

【0167】

以下画像再生の処理は、モニタが 1 つしかないため画像再生セットに比べ、モニタを共用点を除いて、後述する画像再生セット 8 での説明と同様である。

30

【0168】

ここで、画像再生セット 8 での検索再生処理を図 22 を参照して説明する。

【0169】

画像再生セット 8 が起動されると、パソコン 4 a ではアプリケーションプログラムが実行され、図示しないパソコンモニタがパスワード入力待ち画面となる。パスワードが入力されると、患者 ID、患者情報等を入力するメニュー画面がパソコン画面に表示される。ここで検索したい画像を特定するキーワードをパソコンキーボード、図示しないパソコンマウス等から入力、選択後、検索開始の操作をキーボード等により与える。するとパソコン 4 a がファイルサーバ中のデータベースから特定キーワードと合致する検査を抽出し、抽出された検査リスト情報からなる検査リストが画面に表示する。その中の 1 つをキーボード等により指示するとパソコン 4 a では、指定された検査のインデックス画像圧縮データを検査開始から 16 枚目までを順にファイルサーバから読み出し、画像伸長装置 163 に高速通信ケーブル 35 a を介し転送する。さらに画像伸長装置 163 で、インデックス画像の復元が行われ、インデックス画像がモニタ 161 に表示される。さらにその中の 1 枚をキーボードにより指定すると、全画面が復元され、モニタ 162 に表示される。

40

【0170】

以下に画像再生セット 8 の動作の詳しい説明をする。

【0171】

50

パソコン 4 a に電源が投入されると、通常のパソコン同様、図示しない CPU が自己診断プログラムによるハードウェア診断パス後、ハードディスク 3 4 a 上にある起動プログラム、OS、アプリケーションプログラムを内蔵メモリに展開し実行を開始する。

【0172】

まず図 3 1 で示した信号をパソコン 4 a から画像伸長装置 1 6 3 に高速通信 I / F 2 2 を介して送られ、画像伸長装置 1 6 3 を高速通信ケーブル 3 5 a からプログラムを RAM 1 7 上に展開し実行させる。このプログラムで、画像伸長装置 1 6 3 内のメモリ等のテスト診断後、コンフィグレーション用アドレスでアクセスすることにより F P G A 回路 2 3 を画像表示可能な状態にコンフィグレーションする。また図示しないパソコン 4 a のモニタがパスワード入力待ちとなる。

10

【0173】

ここで画像再生のみ可能な権限レベルのパスワードが図示しないパソコンキーボードから入力されると、患者 ID、患者情報等を入力するメニュー画面がパソコン画面に表示される。次に検索したい画像を特定するキーワードをパソコンキーボード、図示しないパソコンマウス等から入力、選択後、検索開始の操作をキーボード等により与える。するとパソコン 4 a がファイルサーバ 7 中のデータベースから特定キーワードと合致する検査を選び出す。

【0174】

抽出されたいくつかの検査からなる検査リストがパソコン画面に表示される。その中の 1 つをパソコンキーボード等により指定する。パソコン 4 a では指定された検査のインデックス画像圧縮データを検査開始から 1 6 枚目までをファイルサーバ 7 から読み出し、画像伸長装置 1 6 3 に高速通信ケーブル 3 5 a を介し転送する。各枚のカラー・超音波画像の識別子も同様に転送する。

20

【0175】

高速通信 I / F 2 2 で受信されたインデックス圧縮画像データは、一旦 CPU 1 5 により RAM 1 7 に蓄えられる。CPU 1 5 では、1 枚分のインデックス画像圧縮データを蓄積すると同データの伸長を行う。これはカラー・超音波の識別子に従い、適するインデックスカラー画像圧縮伸長 F P G A 4 5 またはインデックス超音波画像圧縮伸長 F P G A 4 6 に伸長する画像の位置を設定し、画像圧縮伸長 L S I 1 3 4 に双方向バスバッファ 1 3 5 , 1 3 6 を介して復元コマンドを発行する。さらに CPU 1 5 は、RAM 1 7 上の 1 枚分のインデックス画像データを F I F O メモリ 1 4 0 にあふれない範囲で転送する。この時 3 2 ビット同データは、バスサイズ変換回路 1 3 8 により 2 つの 1 6 ビットデータとして F I F O メモリ 1 4 0 に書き込まれる。なお、観測装置が超音波内視鏡観測装置の場合、1 色分のデータしかないため、これを 3 つにコピーしてそれぞれの画像圧縮伸長ブロック 1 3 1 , 1 3 2 , 1 3 3 で使用する。

30

【0176】

以上の処理から画像圧縮伸長 L S I 1 3 4 の画像伸長が開始される。F I F O メモリ制御 F P G A 4 9 は、F I F O メモリ 1 4 0 - 画像圧縮伸長 L S I 1 3 4 間の同データの転送を行う。画像圧縮伸長 L S I は、F I F O メモリ 1 4 0 から受け取った画像データを読み出し内部で復号化等が行われ特定画素数分の画素データが復元される。全ての画像圧縮伸長 L S I 1 3 4 内部で所定数の画素データが復元されると D M A C 1 6 が画像データの転送を開始する。これは D M A C 1 6 が CPU 1 5 にバス要求を行い、CPU 1 5 から D M A C 1 6 にバス 2 7 が渡されると、図 3 3 のように所定時間バス上に所定画素数の画素データが流れる。このタイミングに合わせて R G B 用 V R A M インデックス画像圧縮伸長 F P G A 4 5 または 4 6 はアドレスを発生し、D M A C 1 4 6 は R G B 用 V R A M 6 1 の書き込み信号を発生する。バス 2 7 が CPU 1 5 に戻されると CPU 1 5 は RAM 1 7 から F I F O メモリ 1 4 0 へ同データの転送を再開する。

40

【0177】

以上の動作を続けることにより同データの伸長が終了する。伸長終了の確認は、CPU 1 5 が F I F O メモリ 1 4 0 - 画像圧縮伸長 L S I 1 3 4 間の転送を一時停止させ、双方

50

向バッファ135、136を介して画像圧縮伸長LSI134のレジスタを参照することにより行う。このようにRGB用VRAM61にインデックス画像展開された後、RGB用VRAM用画像表示FPGA41によりRGB用VRAM61から読み出された画像データが双方向データバスバッファ63を介しフィールドメモリ164に転送される。以上の処理がインデックス枚数分行われる。

【0178】

ここで、この内1つのコマを特定するための1コマを囲う枠をオーバーレイVRAM167を使用して作成される。まずCPU15がCPUアクセス用のオーバーレイ用VRAMa91またはオーバーレイ用VRAMB92の8bitデータのうち4bitのみを0000bにクリアし、枠とするドット部分のみ0001bを書き込む。そしてCPUア

10

【0179】

インデックス画像の内1つのコマを特定するには、パソコンキーボード等によりこの枠を移動し決定する。枠の移動は、前記同様CPUアクセス用オーバーレイVRAMの内容を更新し表示側に切り替えることで行う。このようにCPUアクセス用のためだけのオーバーレイVRAMを設けているため、表示リフレッシュ等による競合なしで高速でCPUアクセスができる。

【0180】

このようにして1つのインデックスコマが特定され、パソコンキーボード等により指示されると、パソコン4aは、予め設定されているRGB画像かYUV画像かの選択に従い、対応するRGB画像圧縮データもしくはYUV画像圧縮データをファイルサーバ7から読み出す。ここでは仮にRGB画像データが選択されているとして説明する。そしてこのデータを高速通信ケーブル35aを介し画像伸長装置163に転送する。

20

【0181】

CPU15は受信した同データを一旦RAM17に蓄える。そしてRGB用VRAM画像圧縮伸長FPGA43に伸長動作を設定し、画像圧縮伸長LSI134に双方向バスバッファ135、136を介して復元コマンドを発行する。以下インデックス画像の復元と同様の処理によりRGB用VRAM61に全画像が伸長される。そしてRGB用VRAM画像表示FPGA41によりRGB用VRAM61から読み出された画像データが双方向

30

【0182】

なお、伸長する全画像がRGB画像データによるもの、YUV画像データによるものかは、パソコンの操作により指定変更できる。

【0183】

以下にYUV画像データが選択されている場合を説明する。RGB画像データの時と同様にRAM17上に一旦蓄積され、YUV用VRAM画像圧縮伸長FPGA44に伸長動作を設定し、画像圧縮伸長LSI134に双方向バスバッファ135、136を介して復元コマンドを発行する。

40

【0184】

以上の処理から画像圧縮伸長LSI134が画像伸長を開始される。FIFOメモリ制御FPGA49は、FIFOメモリ140 - 画像圧縮伸長LSI134間の同データの転送を行う。画像伸長LSI134は、FIFOメモリ140から受け取った画像データを読み出し内部で所定数の復号化等が行われ特定画素数分の画素データが復元される。全ての画像伸長LSI134内部で画素データが復元されるとDMAC16が画素データの転送を開始する。これはDMAC16がCPU15にバス要求を行う。CPU15からDMAC16にバス27が渡されると、所定時間バス27上に所定画素数の画素データが流れる。このタイミングに合わせてDMAC16はYUV用VRAMの画像圧縮伸長FPGA44発生アドレスに書き込み信号を発生する。バス27がCPU15に戻されると、CP

50

U 1 5 は R A M 1 7 から F I F O メモリ 1 4 9 へ同データの転送を再開する。このバス 2 7 上の画素データタイミングは、特殊なため詳しく説明する。

【 0 1 8 5 】

U V は、Y と違い 1 / 2 に画素が間引かれているため、伸長した画素データは半分しかない。このため図 3 8 で示すように Y に対して U V は、1 画素分データをバスに出力する時間を Y に比べ倍とする。この U V 1 画素分のデータが出力されている間に Y U V 用 V - R A M 画像圧縮伸長 F P G A 4 4 は、U V プレーンに関して、2 つのアドレス出力し、圧縮伸長された U V 画素と間引かれた U V 画素を書き込む。またこれが終わると、残る Y 用 S - R A M の半分の領域の伸長が行われる。他は、R G B の時と同様である。

【 0 1 8 6 】

このようにして、Y U V に全画像が伸長される。

【 0 1 8 7 】

そして Y U V 用 V R A M 用画像表示 F P G A 4 2 により Y U V 用 V R A M 6 2 から読み出された画像データが双方向データバスバッファ 6 3、R G B / Y U V 変換双方向マトリックス 6 6 が R G B - Y U V 変換でアクティブとなり、Y U V 用 V R A M 6 2 から読み出されたデータが R G B データに変換され双方向データバスバッファ 6 3 を介してフィールドメモリ 1 6 5 に書き込まれ、特定した画像がモニタ 1 6 2 に表示される。

【 0 1 8 8 】

この画像再生セット 8 は、モニタ 1 6 1、1 6 2 の 2 つモニタを持ち、モニタ 1 6 1 にインデックス画像、モニタ 1 6 2 に特定された全画像が表示される。この状態で別のインデックス画像を特定する場合、表示する枠のため一方のモニタに対応するオーバーレイ V - R A M の更新が発生する。これは、図 2 3 のそれぞれのモニタに対応する S、E N A 信号を図 2 6、2 7 のように制御することにより 1 回の C P U ライトサイクルで一方のモニタ側のオーバーレイ V R A M のみ更新でき、処理が簡単になる。

【 0 1 8 9 】

なお前記のパスワード入力時、表 3 のテーブルデータを予め用意しておき、入力されたパスワードを参照することにより、画像再生及びカルテデータ入力表示が可能な権限レベルであると認識すれば、前記検査リストが画面表示状態から 1 検査に対応するカルテデータの入力、編集、表示が操作可能になり、検査に対するコメント等が記入閲覧が可能とするようにしてもよい。同様に、画像再生、カルテデータ表示のみ可能な権限レベルのパスワードも設けてもよい。

[表 3]

作 業	登 録 パ ス ワード		
	パスワード	パスワード	パスワード
画像検索 (表示)	可	可	可
カルテ表示	不可	可	可
カルテ入力	不可	不可	可

なお、画像圧縮データのバイトの並びは、扱うコンピュータにより多様に存在する。このためバスサイズ変換回路、データセクタ等を使用して画像の圧縮・伸長共、任意のバイト並びのデータを的に扱うこともできる。

【 0 1 9 0 】

次に第 2 実施例について説明する。図 3 9 ないし図 4 3 は本発明の第 2 実施例に係わり、図 3 9 は画像圧縮伸長装置の構成を示すブロック図、図 4 0 は図 3 9 の V R A M と圧縮伸長回路のブロック図、図 4 1 は図 4 0 の V R A M 上のビデオ信号を説明する説明図、図

10

20

30

40

50

42は図40のVRAM上に伸長されたYUVビデオ信号を説明する第1の説明図、図43は図40のVRAM上に伸長されたYUVビデオ信号を説明する第2の説明図である。第2実施例は第1実施例とほとんど同じであるので、異なる構成のみ説明し、同一の構成には同じ符号をつけ説明は省略する。

【0191】

第2実施例は画像圧縮伸長装置の構成が第1実施例と異なり、特に、図39に示すように、本実施例の画像圧縮伸長装置200は、圧縮伸長回路201とVRAM202が第1実施例と異なり、本実施例は、UVのデータを間引くことにより圧縮効率を高めつつ、復元方法を工夫することにより間引かれなくなって画像データを効率よく補うことを特徴としている

10

続いて、圧縮伸長回路201とVRAM202の構成を図40を用いて説明する。

【0192】

図40に示すように、VRAM202は、R用SRAM212、G用SRAM213、B用SRAM214とRGB/YUV変換双方向マトリックス215とY用SRAM216、U用SRAM217、V用SRAM218とから構成される。

【0193】

一方、圧縮伸長回路201は、圧縮伸長LSI219、220、221より構成される。

【0194】

A/D変換回路12及びフィールドメモリ14は、R用SRAM212、G用SRAM213、B用SRAM214に接続される。

20

【0195】

R用SRAM212、G用SRAM213、B用SRAM214は、RGB/YUV変換双方向マトリックス215に接続される。RGB/YUV変換双方向マトリックス215にはA/D変換回路12及びフィールドメモリ14も接続されており、信号の入出力を選択できるようになっている。

【0196】

RGB/YUV変換双方向マトリックス215の他端にはさらにY用SRAM216、U用SRAM217、V用SRAM218に接続される。デジタル変換されたRGBビデオ信号はR用SRAM212、G用SRAM213、B用SRAM214よりRGB/YUV変換双方向マトリックス215に送出され、YUVビデオ信号に変換されY用SRAM216、U用SRAM217、V用SRAM218に送出されるようになっている。また逆にY用SRAM216、U用SRAM217、V用SRAM218よりYUVビデオ信号をRGB/YUV変換双方向マトリックス215に送出し、RGBビデオ信号に変換してR用SRAM212、G用SRAM213、B用SRAM214またはフィールドメモリ14に送出することもできるようになっている。

30

【0197】

R用SRAM212、G用SRAM213、B用SRAM214、Y用SRAM216、U用SRAM217、V用SRAM218はバス27に接続され、CPU15よりデータを入出力できるようになっている。

40

【0198】

R用SRAM212、Y用SRAM216はバス27上で圧縮伸長LSI219に接続されビデオ信号の圧縮伸長が行えるようになっている。G用SRAM213、U用SRAM217はバス27上で圧縮伸長LSI220に接続されビデオ信号の圧縮伸長が行えるようになっている。B用SRAM214、V用SRAM218はバス27上で圧縮伸長LSI221に接続されビデオ信号の圧縮伸長が行えるようになっている。その他の構成は第1実施例と同じである。

【0199】

以下、本実施例の作用を説明する。

【0200】

50

画像圧縮伸長装置 200 には、図示しない内視鏡装置が接続されている。内視鏡装置からは RGB ビデオ信号が A/D 変換回路 12 に入力されるようになっている。

【0201】

使用者が内視鏡装置より記録指示を行うと、通信 I/F 20 より記録指示が入力される。記録指示が入力されると CPU 15 より FPG A 回路 23 に画像の取り込み開始指示制御を行い、A/D 変換回路 12 より RGB ビデオ信号を V R A M 202 の R 用 S R A M 212、G 用 S R A M 212、B 用 S R A M 214 に記憶させる。RGB ビデオ信号は同時に RGB/YUV 変換双方向マトリックス 215 で YUV ビデオ信号に変換され、Y 用 S R A M 216、U 用 S R A M 217、V 用 S R A M 218 に記憶される。

【0202】

RGB ビデオ信号は R 用 S R A M 212、G 用 S R A M 213、B 用 S R A M 214 に、YUV ビデオ信号は Y 用 S R A M 216、U 用 S R A M 217、V 用 S R A M 218 に 2 次元のデータとしてそれぞれ記憶されており、バス 27 を介して圧縮伸長回路 201 に転送されてデータ圧縮される。

【0203】

データ圧縮は RGB ビデオ信号、YUV ビデオ信号の順に行われる。FPG A 回路 23 より CPU 15 にバス要求を出し、CPU 15 でバス要求を受け取りバス 27 を解放する。DMAC 16 より制御信号を送出し、RGB ビデオ信号をデータとしてバス 27 上で転送する。R 用 S R A M 212 のデータは圧縮伸長 L S I 219 へ、G 用 S R A M 213 のデータは圧縮伸長 L S I 220 へ、B 用 S R A M 214 は圧縮伸長 L S I 221 へそれぞれ所定のブロック単位（例えば縦 8 画素×横 8 画素）に分割されてブロック転送される。

【0204】

データのブロック転送が完了するごとに、FPG A 回路 23 より制御信号が圧縮伸長 L S I 219、圧縮伸長 L S I 220、圧縮伸長 L S I 221 それぞれに送出され、データ圧縮が行われる。RGB ビデオ信号を圧縮するため優れた色の再現性が得られる。

【0205】

RGB ビデオ信号のデータ圧縮が全画面で終了すると、YUV ビデオ信号のデータ圧縮が開始される。FPG A 回路 23 より CPU 15 にバス要求を出し、CPU 15 でバス要求を受け取りバス 27 を解放する。DMAC 16 より制御信号を送出し、YUV ビデオ信号をデータとしてバス 27 上でブロック転送する。Y 用 S R A M 216 のデータは圧縮伸長 L S I 219 へ、U 用 S R A M 217 のデータは圧縮伸長 L S I 220 へ、V 用 S R A M 218 は圧縮伸長 L S I 221 へ送出される。YUV ビデオ信号は所定の割合で画素を間引いて転送される。Y ビデオ信号は所定のブロック（例えば縦 8 画素×横 8 画素）に分割し、全画素を順次ブロック転送する。ブロック転送の一例を図 41 を用いて示すと次のようになる。

【0206】

第 1 回目転送

A 1 1, A 1 2, ..., A 1 8、A 2 1, A 2 2, ..., A 2 8、... ..
A 8 1, A 8 2, ..., A 8 8

第 K 回目転送

A X Y, A X Y + 1, ..., A X Y + 7、A X + 1 Y, A X + 1 Y + 1, ..., A X
+ 1 Y + 7、... ..、A X + 7 Y, A X + 7 Y + 1, ...,
A X + 7 Y + 7

最終ブロック転送

A M - 7 N - 7, A M - 7 N - 6, ..., A M - 7 N、A M - 6 N - 7,
A M - 6 N - 6, ..., A M - 6 N、... ..、A M N - 7,
A M N - 6, ..., A M N

一方、UV ビデオ信号は 2 画素に 1 画素の割合で間引いてブロック転送する。同様にブロック転送の一例を図 41 を用いて示すと次のようになる。

【0207】

10

20

30

40

50

第 1 回目転送

$A 1 1, A 1 3, \dots, A 1 1 5, A 2 1, A 2 3, \dots, A 2 1 5,$
 $\dots \dots \dots \dots \dots \dots \dots \dots, A 8 1, A 8 3, \dots, A 8 1 5$

第 K 回目転送

$A X Y, A X Y + 2, \dots, A X Y + 1 4, A X + 1 Y, A X + 1 Y + 2,$
 $\dots, A X + 1 Y + 1 4, \dots \dots \dots \dots \dots \dots \dots \dots, A X + 7 Y, A X + 7 Y + 2, \dots,$
 $A X + 7 Y + 1 4$

最終ブロック転送

$A M - 7 N - 1 5, A M - 7 N - 1 3, \dots, A M - 7 N - 1,$
 $A M - 6 N - 1 5, A M - 6 N - 1 3, \dots, A M - 6 N - 1,$
 $\dots \dots \dots \dots \dots \dots \dots \dots, A M N - 1 5, A M N - 1 3, \dots, A M N - 1$

10

UVビデオ信号は上記のように2画素に1画素の割合で間引くため圧縮動作回数も1/2で済み、圧縮効率もよくなる。

【0208】

データのブロック転送が完了するごとに、FPGA回路23より制御信号が圧縮伸長LSI219、圧縮伸長LSI220、圧縮伸長LSI221それぞれに送出され、データ圧縮が行われる。

【0209】

RGBビデオ信号とYUVビデオ信号のVRAM202から圧縮伸長LSIへのブロック転送が終了するとバス使用権はCPU15に戻される。圧縮伸長回路201でデータ圧縮が完了するとCPU15はRGB圧縮データとYUV圧縮データを順次読み出し、RAM17に転送する。

20

【0210】

続けて使用者が内視鏡装置よりデータを入力し画像再生を指示する場合について説明する。使用者は検索時にRGBとYUVのいずれかの圧縮データ的一方を選択し、再生できるようにになっている。

【0211】

まずRGB圧縮データによる再生について説明する。

【0212】

使用者が内視鏡装置よりデータを入力しRGB圧縮データによる画像再生を指示する通信I/F20より検索指示が入力される。

30

【0213】

CPU15はRAM17よりRGB圧縮データを読み出し、R圧縮データは圧縮伸長LSI219へ、G圧縮データは圧縮伸長LSI220へ、B圧縮データは圧縮伸長LSI221へそれぞれ転送する。

【0214】

RGB圧縮データが転送されるとFPGA回路23より制御信号を送出してデータ伸長を行わせる。1回のデータ伸長を行うと所定のブロック(縦8画素×横8画素)のRGBビデオ信号が得られる。データ伸長が完了するとFPGA回路23よりバス要求をCPU15に出しバス27を解放し、バス権を得る。DMAC16の制御により圧縮伸長LSI219、圧縮伸長LSI220、圧縮伸長LSI2291からR用SRAM212、G用SRAM213、B用SRAM214にRGBビデオ信号をブロック転送する。転送が完了したらバス権をCPU15に戻す。

40

【0215】

全ブロックの画像の伸長が完了したらVRAM202よりフィールドメモリ14へ画像を転送する。この時A/D変換回路12の出力は停止し、データがぶつからないようにしておく。フィールドメモリ14に転送が完了するとフィールドメモリ14の書き込みを一時停止させ、出力画像を静止させる。フィールドメモリ14より出力されるRGBビデオ信号はD/A変換回路13でアナログ信号に変換され内視鏡装置に出力され、検索画像として観察される。

50

【 0 2 1 6 】

続けて Y U V 圧縮データによる再生について説明する。

【 0 2 1 7 】

使用者が内視鏡装置よりデータを入力し Y U V 圧縮データによる画像再生を指示すると通信 I / F 2 0 より検索指示が入力される。

【 0 2 1 8 】

C P U 1 5 は R A M 1 7 より Y U V 圧縮データを読み出し、Y 圧縮データは圧縮伸長 L S I 2 1 9 へ、U 圧縮データは圧縮伸長 L S I 2 2 0 へ、V 圧縮データは圧縮伸長 L S I 2 2 1 へそれぞれ転送する。

【 0 2 1 9 】

Y U V 圧縮データが転送されると F P G A 回路 2 3 より制御信号を送出してデータ伸長を行わせる。1 回のデータ伸長を行うと所定のブロックの Y U V ビデオ信号が得られる。データ伸長が完了すると F P G A 回路 2 3 よりバス要求を C P U 1 5 に出しバス 2 7 を解放し、バス権を得る。D M A C 1 6 の制御により圧縮伸長 L S I 2 1 9、圧縮伸長 L S I 2 2 0、圧縮伸長 L S I 2 2 1 から Y 用 S R A M 2 1 6、U 用 S R A M 2 1 7、V 用 S R A M 2 1 8 に Y U V ビデオ信号を転送する。

10

【 0 2 2 0 】

図 4 2、図 4 3 を用いてデータ伸長後のブロック転送の方法について説明する。

【 0 2 2 1 】

U V ビデオ信号は 2 画素に 1 画素の割合で間引いて圧縮されており、転送されるデータは図 4 2 を用いると次のようになる。

20

【 0 2 2 2 】

第 1 回目転送

A 1 1, A 1 3, ..., A 1 1 5、A 2 1, A 2 3, ..., A 2 1 5、
.....、A 8 1, A 8 3, ..., A 8 1 5

第 K' 回目転送

A X Y, A X Y + 2, ..., A X Y + 1 4、A X + 1 Y, A X + 1 Y + 2,
..., A X + 1 Y + 1 4、.....、A X + 7 Y, A X + 7 Y + 2, ...,
A X + 7 Y + 1 4

最終ブロック転送

A M - 7 N - 1 5, A M - 7 N - 1 3, ..., A M - 7 N - 1、
A M - 6 N - 1 5, A M - 6 N - 1 3, ..., A M - 6 N - 1、
.....、A M N - 1 5, A M N - 1 3, ..., A M N - 1

30

U ビデオ信号、V ビデオ信号のブロック数は Y ビデオ信号のブロック数の 1 / 2 である。U V ビデオ信号の全ブロックのブロック転送を 1 サイクルとし、1 サイクル終了した時点で Y ビデオ信号のブロック転送は図 4 2 に示すように全画面の 1 / 2 が完了した状態である。この時点までの Y ビデオ信号のブロック転送は次のようになる。

【 0 2 2 3 】

第 1 回目転送

A 1 1, A 1 2, ..., A 1 8、A 2 1, A 2 2, ..., A 2 8、
.....、A 8 1, A 8 2, ..., A 8 8

40

第 K'' 回目転送

A X Y, A X Y + 1, ..., A X Y + 7、A X + 1 Y, A X + 1 Y + 1,
..., A X + 1 Y + 7、.....、A X + 7 Y, A X + 7 Y + 1,
..., A X + 7 Y + 7

ブロック転送 1 / 2 完了

A L - 7 N - 7, A L - 7 N - 6, ..., A L - 7 N、
A L - 6 N - 7, A L - 6 N - 6, ..., A L - 6 N、
.....、A L N - 7, A L N - 6, ..., A L N

(L = M / 2)

50

Yビデオ信号の残りの1/2のデータ伸長とブロック転送に合わせて、UVビデオ信号の伸長とブロック転送をさらに1サイクル行う。

【0224】

ここでUVビデオ信号のブロック転送は図43に示すように1サイクル目の転送時とは異なり、FPGA回路23より出力されるアドレスを1画素シフトさせ圧縮時に間引かれた画素を補う。

【0225】

Yビデオ信号の残り1/2の画像転送は次のようになる。

【0226】

ブロック転送開始(残り1/2)

$AL + 11, AL + 12, \dots, AL + 18, AL + 21, AL + 22, \dots, AL + 28, \dots, AL + 81, AL + 82, \dots, AL + 88$
($L = M / 2$)

最終ブロック転送

$AM - 7N - 7, AM - 7N - 6, \dots, AM - 7N, AM - 6N - 7,$
 $AM - 6N - 5, \dots, AM - 6N, \dots, AMN - 7,$
 $AMN - 6, \dots, AMN$

全画像の画像の伸長が完了したらVRAM202内のY用SRAM216、U用SRAM217、V用SRAM218よりYUVビデオ信号を読み出し、RGB/YUV変換双方向マトリックス215でRGBビデオ信号に変換してフィールドメモリ14に転送する。この時A/D変換回路12の出力は停止し、データがぶつからないようにしておく。フィールドメモリ14に転送が完了するとフィールドメモリ14の書き込みを一時停止させ、出力画像を静止させる。フィールドメモリ14より出力されるRGBビデオ信号はD/A変換回路13でアナログ信号に変換され内視鏡装置に出力され、検索画像として観察される。

【0227】

その他の作用、効果は第1実施例と同じである。

【0228】

ところで、上記の各実施例の画像圧縮伸長装置のように、信号処理回路において処理された信号を装置の外部に出力する際、その信号出力端からはノイズが放射されないことが望ましい。しかし信号を処理する過程において少なからずノイズは発生し、回路基板から信号が外部に出力される時にその出力信号にノイズがのってしまう。

【0229】

出力信号に含まれるノイズを軽減するものとしての従来の技術としては、例えば特開昭63-301552号公報に示されているように、コネクタの近傍に疑似分布定数型ノイズフィルタを挿入して放射ノイズを抑制する回路が提案されている。

【0230】

しかし、コネクタの近傍にノイズフィルタを挿入する方法だと、出力信号のノイズ成分は抑制されるが、信号処理の段階において発生したノイズが装置内に回ってしまうため効果は薄い。

【0231】

そこで、回路自体の構成を変えずに信号処理の段階において発生したノイズが信号出力端から放射されることを抑制することのできる実施例について説明する。

【0232】

図44はノイズの放射を抑制する信号処理装置の第1の実施例の構成を示す構成図、図45は図44の回路基板の構成を示す構成図である。

【0233】

(構成)

図44は外部の装置との接続により信号の送受信を行う信号処理装置内部の構成を示す。信号処理装置の筐体251は導電性の物質でできている。交流電源を供給する外部電源

10

20

30

40

50

が電源ケーブル 2 5 2 を介して安定化電源部 2 5 3 に接続されている。安定化電源部 2 5 3 の出力は回路基板 2 5 4 上に設けられた電源フィルタ 2 5 5 に接続され、電源フィルタ 2 5 5 の出力は回路基板 2 5 4 上に実装された信号処理回路 2 5 6 に接続され電源が供給される。安定化電源部 2 5 3 のグラウンドは筐体 2 5 1 に接続される。信号処理回路 2 5 6 の出力信号を出力するコネクタは回路基板 2 5 4 上に実装されるコネクタ 2 5 7 a と装置本体の外装に固定されたコネクタ 2 5 7 b とに分かれている。コネクタ 2 5 7 a とコネクタ 2 5 7 b の間は信号線 2 5 7 c で接続されている。

【0 2 3 4】

図 4 5 に示すように、回路基板 2 5 4 のグラウンド層は信号処理回路 2 5 6 のグラウンド層 2 5 8 とコネクタ 2 5 7 a のグラウンド層 2 5 9 に分かれており、グラウンド層 2 5 8、グラ
10
ランド層 2 5 9 はそれぞれ信号線 2 6 0、信号線 2 6 1 で安定化電源部 2 5 3 において共通のグラウンドに接続される。信号線 2 6 0 は電源フィルタ 2 5 5 の近傍で接続される。コネクタ 2 5 7 b のグラウンドは筐体 2 5 1 に接続される。外部装置 2 6 2 はコネクタ 2 5 7 b に接続される。

【0 2 3 5】

(作用)

外部電源から供給される交流電源は安定化電源部 2 5 3 により直流に変換され、回路基板 2 5 4 に供給される。回路基板 2 5 4 上に実装された信号処理回路 2 5 6 は安定化電源部 2 5 3 から電源フィルタ 2 5 5 を通り供給された直流電流により駆動し、信号処理回路
20
2 5 6 の出力信号は同じ回路基板 2 5 4 上に実装されたコネクタ 2 5 7 a から出力され、装置本体の外装に固定されたコネクタ 2 5 7 b を通り外部装置 2 6 2 に出力される。

【0 2 3 6】

(効果)

信号処理回路 2 5 6 とコネクタ 2 5 7 a 及びコネクタ 2 5 7 b のグラウンドが分離されているため、信号処理回路 2 5 6 により発生したノイズがグラウンドを介してコネクタ 2 5 7 a から出力される出力信号にのることが抑制され、放射ノイズも軽減される。また、信号処理回路 2 5 6、コネクタ 2 5 7 a、コネクタ 2 5 7 b 各々のグラウンドが最終的に共通のグラウンドに接続されているため、グラウンドレベルはどれも一定に保たれる。

【0 2 3 7】

図 4 6 はノイズの放射を抑制する信号処理装置の第 2 の実施例の構成を示す構成図である。
30

【0 2 3 8】

(構成)

本実施例は、図 4 6 に示すように、ノイズの放射を抑制する信号処理装置の第 1 の実施例とはコネクタ 2 5 7 a とコネクタ 2 5 7 b の間をシールドされたケーブル 2 6 3 で接続した点と、コネクタ 2 5 7 b に接続される外部装置 2 6 2 のケーブル 2 6 4 が外部装置 2 6 2 のグラウンドでシールドされている点異なる。

【0 2 3 9】

(作用)

コネクタ 2 5 7 a から出力される信号処理回路 2 5 6 の出力信号はシールドされたケーブル 2 6 3 からコネクタ 2 5 7 b を通り、シールドされたケーブル 2 6 4 から外部装置 2
40
6 2 に入力される。

【0 2 4 0】

(効果)

出力端であるコネクタ 2 5 7 b、ケーブル 2 6 3 により放射されるノイズの軽減は、ケーブルをシールドすることにより効果が増大する。

【0 2 4 1】

図 4 7 はノイズの放射を抑制する信号処理装置の第 3 の実施例の構成を示す構成図である。

【0 2 4 2】

10

20

30

40

50

本実施例は、図 4 7 に示すように、ノイズの放射を抑制する信号処理装置の第 1 の実施例とは、信号処理回路 2 5 6 の出力は回路基板 2 5 4 上に実装されたノイズフィルタ 2 6 5 を通りコネクタ 2 5 7 a に接続される点異なる。

【 0 2 4 3 】

(作用)

信号処理回路 2 5 6 から出力される出力信号はノイズフィルタ 2 6 5 を通りコネクタ 2 5 7 a から出力される。

【 0 2 4 4 】

(効果)

信号処理回路 2 5 6 から出力される出力信号はノイズフィルタ 2 6 5 を通ることにより 10
ノイズが軽減される。かつ信号処理回路 2 5 6 とコネクタ 2 5 7 a のグラウンドが分離されているため、信号処理回路 2 5 6 からグラウンドを介してコネクタ 2 5 7 a にのるノイズも軽減され、放射ノイズも軽減される。

【 0 2 4 5 】

図 4 8 はノイズの放射を抑制する信号処理装置の第 3 の実施例の構成を示す構成図である。

【 0 2 4 6 】

(構成)

本実施例は、図 4 8 に示すように、ノイズの放射を抑制する信号処理装置の第 1 の実施 20
例とは、コネクタ 2 5 7 は回路基板 2 5 4 上に実装され、かつ直接装置の外装に固定され、コネクタ 2 5 7 のグラウンドは筐体 2 5 1 に接続される点異なる。

【 0 2 4 7 】

(作用)

信号処理回路 2 5 6 から出力される出力信号はコネクタ 2 5 7 を通り直接外部装置 2 6 2 に出力される。

【 0 2 4 8 】

(効果)

信号処理回路 2 5 6 とコネクタ 2 5 7 のグラウンドが分離されているため、信号処理回路 2 5 6 により発生したノイズがグラウンドを介してコネクタ 2 5 7 から出力される出力信号 30
にのることが抑制され、放射ノイズも軽減される。

【 0 2 4 9 】

[付記]

1) C P U またはデータ転送回路が使用権を持つバス上に、画像データを記憶するメモリ回路及び前記画像データを信号処理する画像処理回路が並列に接続された画像処理装置において、

前記メモリ回路と前記画像処理回路間のデータ転送は、前記データ転送回路が前記バスの使用権を得て行う

ことを特徴とする画像処理装置。

【 0 2 5 0 】

2) 前記画像処理回路は、前記画像データの圧縮及び伸長を行う画像圧縮伸長回路で 40
ある

ことを特徴とする付記 1 の画像処理装置。

【 0 2 5 1 】

3) 前記データ転送回路による前記メモリ回路と前記画像処理回路間で転送される画像データは、画素データである

ことを特徴とする付記 2 の画像処理装置。

【 0 2 5 2 】

4) ハードウェアリセット信号とリセット許可信号を出力する第 1 の C P U を有する制御装置と、

前記ハードウェアリセット信号によりハードウェアリセットされる第 2 の C P U と、前 50

記リセット許可信号を受けて、前記第 2 のハードウェアリセット動作を制御するリセット制御手段とを有する被制御装置と
を備えことを特徴とする画像処理装置。

【0253】

5) 前記被制御装置は、前記リセット制御手段にリセット不許可信号を出力するリセット不許可信号出力手段を有する
ことを特徴とする付記 4 の画像処理装置。

【0254】

6) 複数の画像データを入力し、前記画像データを処理し管理する画像処理装置において、

10

前記画像データを格納する第 1 の記憶手段および第 2 の記憶手段
を備え、

前記第 2 の記憶手段が前記画像データの静止画像を出力する
ことを特徴とする画像処理装置。

【0255】

7) 前記第 1 の記憶手段が S R A M からなる
ことを特徴とする付記 6 の画像処理装置。

【0256】

8) 複数の画像データを入力し、前記画像データを処理し管理する画像処理装置において、

20

前記画像データを格納する第 1 の記憶手段と、前記第 1 の記憶手段が格納した前記画像データを格納する第 2 の記憶手段

を備え、

前記第 2 の記憶手段が前記画像データの静止画像を出力する
ことを特徴とする画像処理装置。

【0257】

9) 前記第 1 の記憶手段が S R A M からなる
ことを特徴とする付記 8 の画像処理装置。

【0258】

10) 第 1 の画像メモリと第 2 の画像メモリを有し、
前記第 1 の画像メモリと前記第 2 の画像メモリのうち一方を表示リフレッシュ用とし、
他方を C P U アクセス用とし、
前記第 1 の画像メモリと前記第 2 の画像メモリの役割を帰線期間中等に切り替える制御手段を設けた

30

ことを特徴とする内視鏡画像処理装置。

【0259】

11) 1 回の C P U メモリライトサイクル中に、1 回のメモリのリードと 1 回の前記メモリのライトを行うシーケンス手段を持ち、

前記ライト時のデータが C P U からのライトデータか、もしくは前記リード時のリードデータかのいずれかを選択するデータ選択手段を設けた

40

ことを特徴とする内視鏡画像処理装置。

【0260】

12) データ選択手段を複数設けた

ことを特徴とする付記 11 の内視鏡画像処理装置。

【0261】

13) R G B データを保存する第 1 の画像メモリと、前記 R G B データと輝度色差データとの間でデータを変換し合う変換回路と、前記輝度色差データを保存する第 2 の画像メモリと、前記第 1 の画像メモリと前記第 2 の画像メモリに保存された前記 R G B データ及び前記輝度色差データを処理する画像処理回路と

を有することを特徴とする内視鏡画像処理装置。

50

【0262】

14) 入力された前記RGBデータの前記第1の画像メモリへの保存と、入力された前記RGBデータから前記変換手段から得られた前記輝度色差データの前記第2の画像メモリへの保存とを、同時に行う

ことを特徴とする付記13の内視鏡画像処理装置。

【0263】

15) 前記第1及び前記第2の画像メモリがSRAMからなる

ことを特徴とする付記13または14の内視鏡画像処理装置。

【0264】

16) 圧縮データバス線を自然数バイト分持つ画像データを圧縮伸長する圧縮伸長手段において、

前記圧縮データバス線とCPUデータバスとの間にデータセクタまたはバス幅変換手段を設け、前記画像データバイト並びを複数種類に設定する

ことを特徴とする内視鏡画像処理装置。

【0265】

17) フラッシュメモリに供給するプログラム電圧が所定の電圧に達しているか判断する検知手段を持つ

ことを特徴とする内視鏡画像処理装置。

【0266】

18) フラッシュメモリとは別に、フラッシュメモリに供給するプログラム電圧が所定の電圧に達しているか判断する検知手段を持つ

ことを特徴とする内視鏡画像処理装置。

【0267】

19) 親装置から子装置に送られるリセット信号を子装置内の波形整形手段またはハイカットフィルタ手段にて同リセット信号を波形整形する

ことを特徴とする内視鏡画像処理システム。

【0268】

20) 複数の登録パスワードに対応した可能作業を示すデータを持ち、ログイン時のパスワードに対応する可能作業を示すデータから作業の可/不可の判断手段を設けた

ことを特徴とする内視鏡画像ファイル装置。

【0269】

21) 画像観測装置の種類ごとに設定されている縮小比・抽出領域データからインデックス画像を作成する

ことを特徴とする内視鏡画像処理装置。

【0270】

22) CPUがFPGA(フィールド・プログラマブル・ゲート・アレイ)にアクセスする時のサイクルタイムを、前記FPGAの状態(コンフィグレーション未/完了)により、変化させるCPUアクセスウエイト発生手段を持つ

ことを特徴とする内視鏡画像処理装置。

【0271】

23) CPUがFPGA(フィールド・プログラマブル・ゲート・アレイ)にアクセスする時のサイクルタイムが、前記FPGAへの複数のアクセスアドレスにより異ならせるCPUアクセスウエイト発生手段を持つ

ことを特徴とする内視鏡画像処理装置。

【0272】

24) DMA転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する装置において、

最後の圧縮データ語にデータの詰められていない端数ビットが発生した場合、前記語をCPUによりハンドシェイク転送する

ことを特徴とする内視鏡画像処理装置。

10

20

30

40

50

【0273】

25) D M A 転送により画像圧縮手段からメモリ手段に画像圧縮データを転送する装置において、

最後の圧縮データ語にデータの詰められていない端数ビットが発生することのないよう、画像圧縮を所定の領域以上行い、最低所定領域画像分の圧縮データを取り出す

ことを特徴とする内視鏡画像処理装置。

【0274】

26) R G B データを保存する第1の画像メモリと、前記 R G B データと輝度色差データとの間でデータを変換し合う変換回路と、前記輝度色差データを保存する第2の画像メモリと、前記第1の画像メモリと前記第2の画像メモリに保存された前記 R G B データ及び前記輝度色差データを処理する画像処理回路と

10

を有し、

前記第1の画像メモリが前記第1の記憶手段である

ことを特徴とする付記6の画像処理装置。

【0275】

27) 入力された前記 R G B データの前記第1の画像メモリへの保存と、入力された前記 R G B データから前記変換手段から得られた前記輝度色差データの前記第2の画像メモリへの保存とを、同時に行う

ことを特徴とする付記26の画像処理装置。

【0276】

20

28) 前記第1及び前記第2の画像メモリが S R A M からなる

ことを特徴とする付記26または27の内視鏡画像処理装置。

【0277】

29) R G B データと Y U V データを入力し R G B データ及び Y U V データの画像圧縮伸長を行う画像圧縮伸長処理装置において、

R G B データまたは Y U V データのいずれかのデータを選択する選択手段と、

R G B データ選択時は R G B データを同じレートで転送し、Y U V 選択時には Y データに対し、U V データを間引いて転送する転送手段と、

転送された R G B または Y U V の3種のデータを同時に圧縮するデータ圧縮手段と、

データ伸長時に同じ U V データを複数回伸長することにより間引かれたデータを補充する

30

ことを特徴とする画像圧縮伸長装置。

【0278】

30) 安定化された電力を供給する電源供給手段と、

前記電源供給手段により駆動され、入力信号を信号処理して出力する信号処理手段と、

前記信号処理手段の出力信号を装置外部に出力する信号出力手段と

を有し、

前記信号処理手段と前記信号出力手段とは、互いにグラウンドを分離して同一回路基板上に設けられて構成される

ことを特徴とするノイズ抑制信号処理装置。

40

【図面の簡単な説明】

【0279】

【図1】図1は本発明の第1実施例に係る内視鏡画像ファイリング装置の構成を示すブロック図

【図2】図1の F P G A 回路の構成を示すブロック図

【図3】図1の C P U に対してのウェイト信号を発生するウェイト発生回路の第1の回路例を示す図

【図4】図1の C P U に対してのウェイト信号を発生するウェイト発生回路の第2の回路例を示す図

【図5】図1の V R A M の構成を示すブロック図

50

- 【図 6】図 5 の R G B 用 V R A M のデータバスでのデータの対応を示す対応図
- 【図 7】図 5 の Y U V 用 V R A M のデータバスでのデータの対応を示す対応図
- 【図 8】図 5 の R G B 用 V R A M のアドレスの結線を示す結線図
- 【図 9】図 5 の Y U V 用 V R A M のアドレスの結線を示す結線図
- 【図 10】図 1 のオーバーレイ V R A M の構成を示すブロック図
- 【図 11】図 10 のオーバーレイ V R A M のアドレスの結線を示す結線図
- 【図 12】図 1 のパソコンと画像圧縮伸長装置との信号の結線を示す結線図
- 【図 13】図 1 の画像圧縮伸長装置の高速通信 I / F の構成を示す構成図
- 【図 14】図 13 の波形整形回路の第 1 の構成を示す構成図
- 【図 15】図 13 の波形整形回路の第 2 の構成を示す構成図 10
- 【図 16】図 1 の画像圧縮伸長回路の構成を示すブロック図
- 【図 17】図 16 の画像圧縮伸長ブロックの構成を示すブロック図
- 【図 18】図 17 のバスサイズ変換回路の作用を説明する説明図
- 【図 19】図 17 の画像圧縮伸長 L S I と画像データを送受信するイメージ線のデータバスでのデータの対応を示す対応図
- 【図 20】図 17 の画像圧縮伸長 L S I と圧縮伸長画像データを送受信するデータ線のデータバスでのデータの対応を示す対応図
- 【図 21】図 1 の V p p 発生回路の構成を示すブロック図
- 【図 22】図 1 の画像再生セットの構成を示すブロック図
- 【図 23】図 22 のオーバーレイ V R A M の双方向バスバッファ内部構成を示すブロック図 20
- 【図 24】図 23 のオーバーレイ V R A M の C P U サイクルにおける双方向バスバッファの波形を示す波形図
- 【図 25】図 22 の画像再生セットでの C P U リードサイクルにおけるオーバーレイ V R A M の波形を示す波形図
- 【図 26】図 22 の画像再生セットでの C P U ライトサイクルの更新時におけるオーバーレイ V R A M の波形を示す波形図
- 【図 27】図 22 の画像再生セットでの C P U ライトサイクルの非更新時におけるオーバーレイ V R A M の波形を示す波形図
- 【図 28】図 13 の波形整形回路に入力された C T L a , C T L c の波形を示す波形図 30
- 【図 29】図 28 の信号を図 13 のローパスフィルタを介したときの波形を示す波形図
- 【図 30】図 29 の信号を入力とした図 13 のシュミット入力インバータの出力波形を示す波形図
- 【図 31】図 13 のパワーオンリセット回路による内部リセットでの画像圧縮伸長装置の C P U のリセット信号、ブート源信号の波形を示す波形図
- 【図 32】図 13 のパソコンの高速通信 I / F からの外部制御信号での画像圧縮伸長装置の C P U のリセット信号、ブート源信号の波形を示す波形図
- 【図 33】図 1 の D M A C による R G B 画素の D M A 転送時のバスデータの波形を示す波形図
- 【図 34】図 1 の画像圧縮伸長装置が処理する画像の画像画素の座標を示す画像画素座標図 40
- 【図 35】図 1 の D M A C による Y 画素の D M A 転送時のバスデータの波形を示す波形図
- 【図 36】図 1 の内視鏡観測装置のモニタ上の内視鏡画像のインデックスエリアを示す図
- 【図 37】図 1 の超音波内視鏡観測装置のモニタ上の超音波内視鏡画像のインデックスエリアを示す図
- 【図 38】図 1 の D M A C による Y U V 画素の D M A 転送時のバスデータの波形を示す波形図
- 【図 39】本発明の第 2 実施例に係る画像圧縮伸長装置の構成を示すブロック図
- 【図 40】図 39 の V R A M と圧縮伸長回路のブロック図 50

【図 4 1】図 4 0 の V R A M 上のビデオ信号を説明する説明図
 【図 4 2】図 4 0 の V R A M 上に伸長された Y U V ビデオ信号を説明する第 1 の説明図
 【図 4 3】図 4 0 の V R A M 上に伸長された Y U V ビデオ信号を説明する第 2 の説明図
 【図 4 4】ノイズの放射を抑制する信号処理装置の第 1 の実施例の構成を示す構成図
 【図 4 5】図 4 4 の回路基板の構成を示す構成図
 【図 4 6】ノイズの放射を抑制する信号処理装置の第 2 の実施例の構成を示す構成図
 【図 4 7】ノイズの放射を抑制する信号処理装置の第 3 の実施例の構成を示す構成図
 【図 4 8】ノイズの放射を抑制する信号処理装置の第 3 の実施例の構成を示す構成図
 【図 4 9】従来の画像を取り込み静止画を出力するデュアルポート D R A M の構成を示す構成図

10

【図 5 0】図 4 9 のデュアルポート D R A M の作用を説明する説明図

【符号の説明】

【 0 2 8 0 】

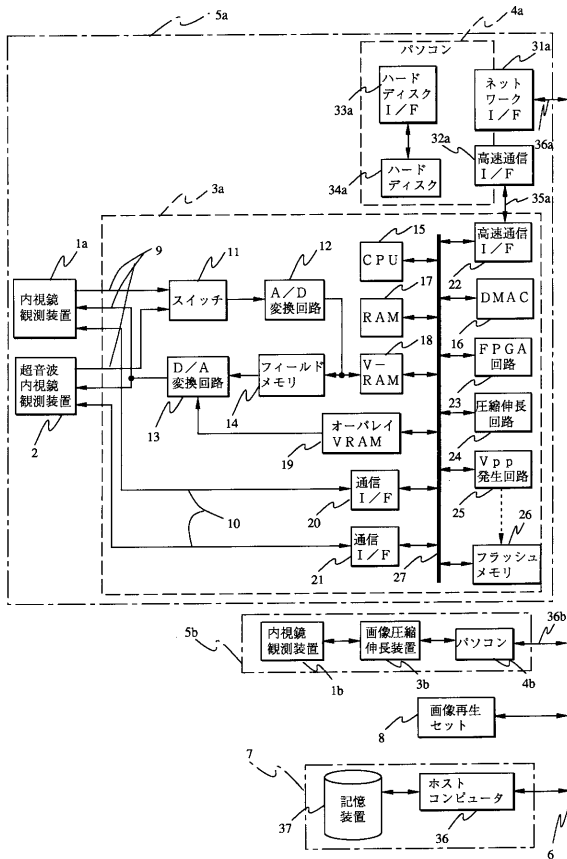
1 a、1 b ... 内視鏡観測装置
 2 ... 超音波内視鏡観測装置
 3 a、3 b ... 画像圧縮伸長装置
 4 a、4 b ... パソコン
 5 a、5 b ... セット
 6 ... ネットワーク線
 7 ... ファイルサーバ
 8 ... 画像再生セット
 9 ... ビデオ信号ケーブル
 1 0 ... 通信ケーブル
 1 1 ... スイッチ
 1 2 ... A / D 変換回路
 1 3 ... D / A 変換回路
 1 4 ... フィールドメモリ
 1 5 ... C P U
 1 6 ... D M A C
 1 7 ... R A M
 1 8 ... V R A M
 1 9 ... オーバレイ V R A M
 2 0、2 1 ... 通信 I / F
 2 2、3 2 a ... 高速通信 I / F
 2 3 ... F P G A 回路
 2 4 ... 画像圧縮伸長回路
 2 5 ... V p p 発生回路
 2 6 ... フラッシュメモリ
 2 7 ... バス
 3 1 a ... ネットワーク I / F
 3 3 a ... ハードディスク I / F
 3 4 a ... ハードディスク
 3 6 ... ホストコンピュータ
 3 7 ... 記憶装置

20

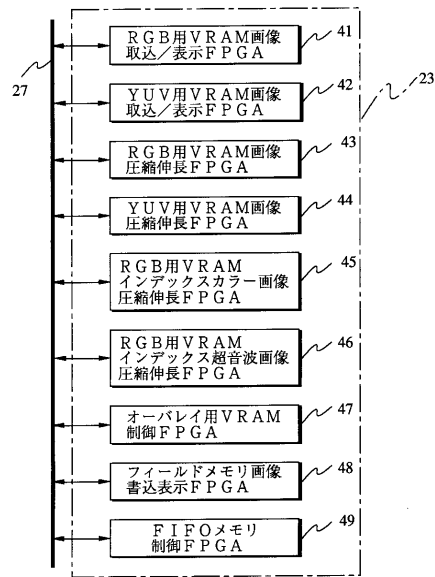
30

40

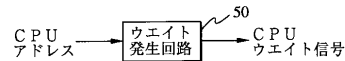
【図 1】



【図 2】



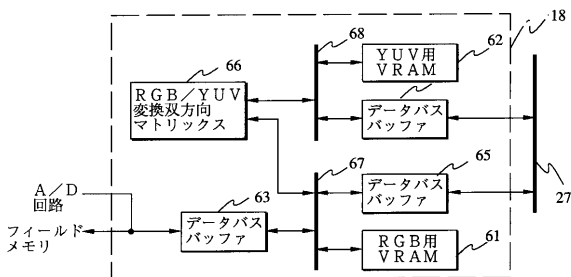
【図 3】



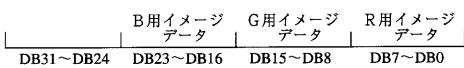
【図 4】



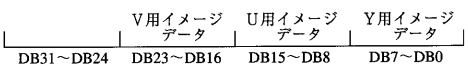
【図 5】



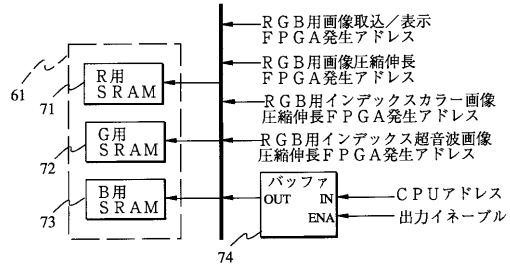
【図 6】



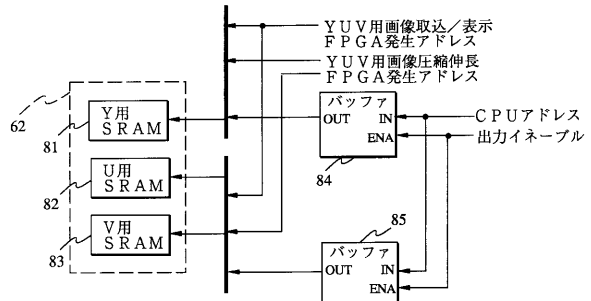
【図 7】



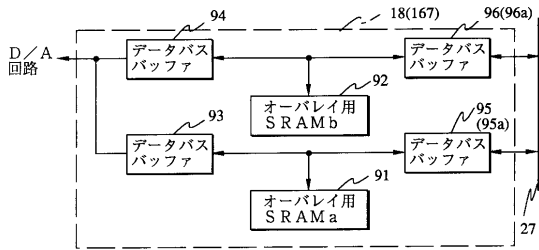
【図 8】



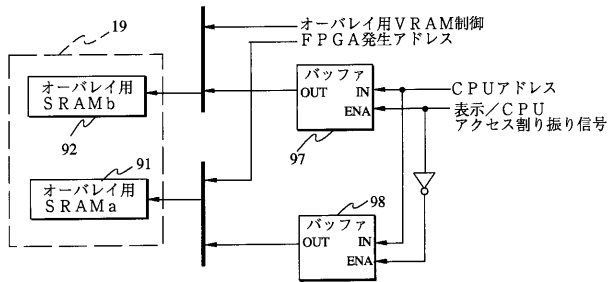
【図 9】



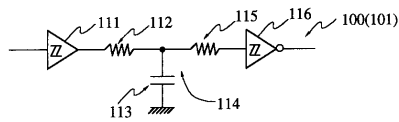
【図 10】



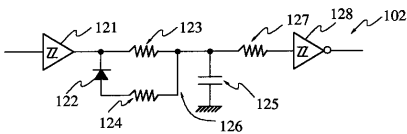
【図 11】



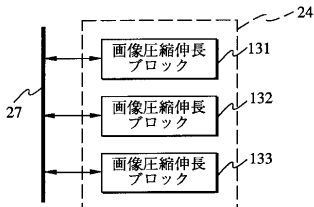
【図 14】



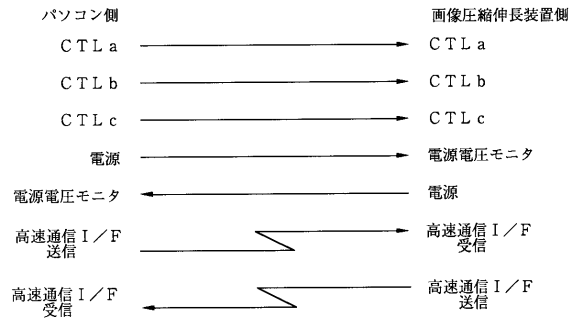
【図 15】



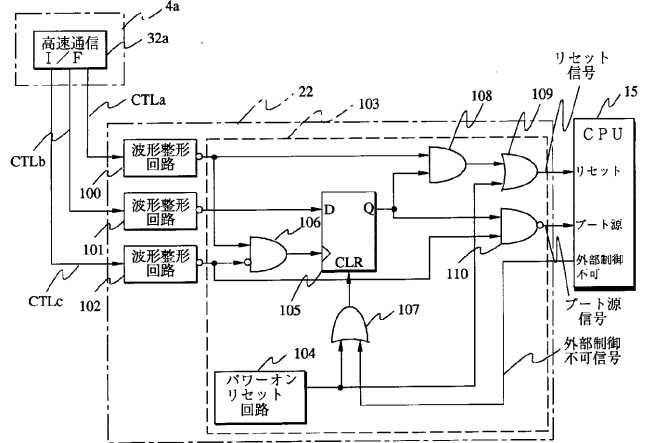
【図 16】



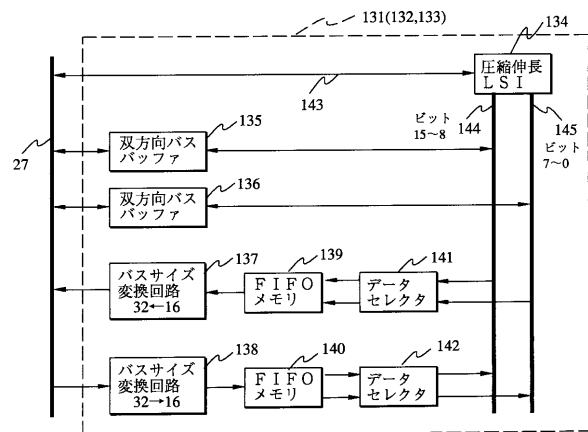
【図 12】



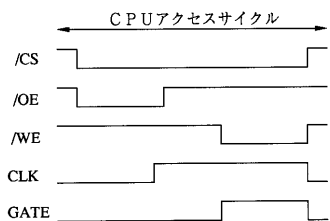
【図 13】



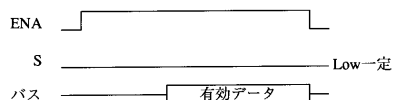
【図 17】



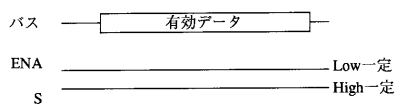
【 図 2 4 】



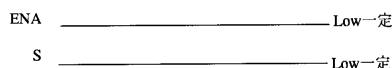
【 図 2 5 】



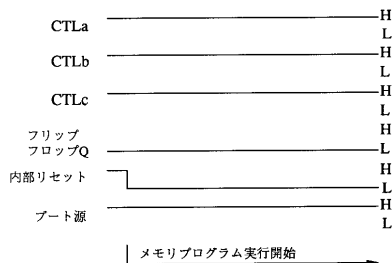
【 図 2 6 】



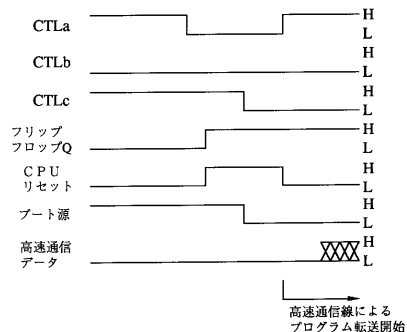
【 図 2 7 】



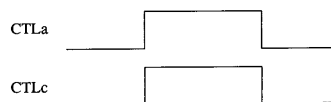
【 図 3 1 】



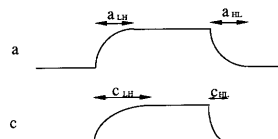
【 図 3 2 】



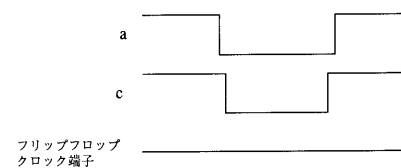
【 図 2 8 】



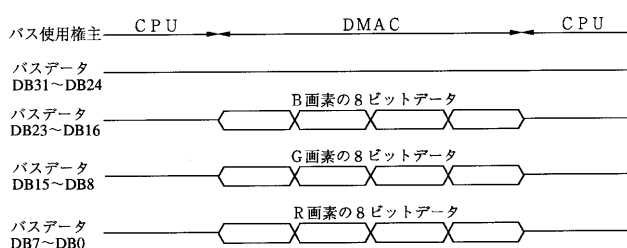
【 ㄨ 2 9 】



【 図 3 0 】



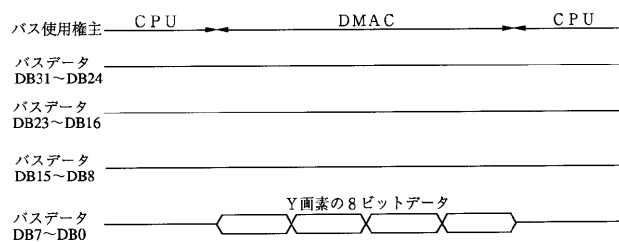
【 図 3 3 】



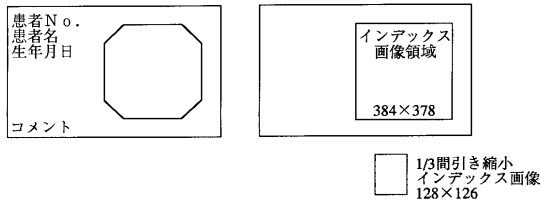
【 図 3 4 】

(0,0)(1,0)(2,0)(3,0)(4,0)(5,0)(6,0)(7,0)
(0,1)(1,1)(2,1)(3,1)(4,1)(5,1)(6,1)(7,1)
(0,2)(1,2)(2,2)(3,2)(4,2)(5,2)(6,2)(7,2)
(0,3)(1,3)(2,3)(3,3)(4,3)(5,3)(6,3)(7,3)
(0,4)(1,4)(2,4)(3,4)(4,4)(5,4)(6,4)(7,4)
(0,5)(1,5)(2,5)(3,5)(4,5)(5,5)(6,5)(7,5)
(0,6)(1,6)(2,6)(3,6)(4,6)(5,6)(6,6)(7,6)
(0,7)(1,7)(2,7)(3,7)(4,7)(5,7)(6,7)(7,7)
(0,8)(1,8)(2,8)(3,8)(4,8)(5,8)(6,8)(7,8)
(0,9)(1,9)(2,9)(3,9)(4,9)(5,9)(6,9)(7,9)

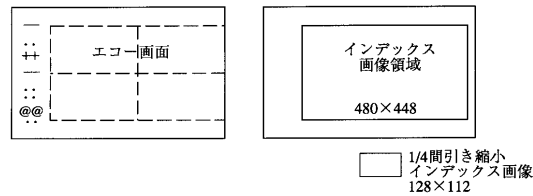
【 図 3 5 】



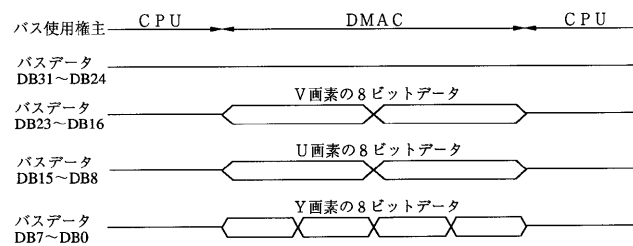
【図 36】



【図 37】



【図 38】



【図 41】

A11	A12	A13	A14	A15	...	A1N
A21	A22	A23	A24	A25	...	A2N
A31	A32	A33	A34	A35	...	A3N
A41	A42	A43	A44	A45	...	A4N
A51	A52	A53	A54	A55	...	A5N
...	...	...	...	...	...	...
AM1	AM2	AM3	AM4	AM5	...	AMN

【図 42】

A11	A12	A13	...	A1N	A11	*	A13	*	...	A1N-1	*
A21	A22	A23	...	A2N	A21	*	A23	*	...	A2N-1	*
A31	A32	A33	...	A3N	A31	*	A33	*	...	A3N-1	*
...	...	...	...	...	...	...	...	...	...	...	...
AL1	AL2	AL3	...	ALN	AL1	*	AL3	*	...	ALN-1	*
*	*	*	...	*	AL+11	*	AL+13	*	...	AL+1N-1	*
*	*	*	...	*	...	...	...	...	...	...	...
*	*	*	...	*	AM-21	*	AM-23	*	...	AM-2N-1	*
*	*	*	...	*	AM-11	*	AM-13	*	...	AM-1N-1	*
*	*	*	...	*	AM1	*	AM3	*	...	AMN-1	*

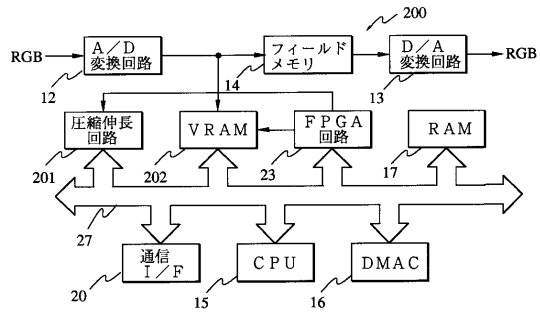
Yビデオ信号 (※は未転送部分) UVビデオ信号

【図 43】

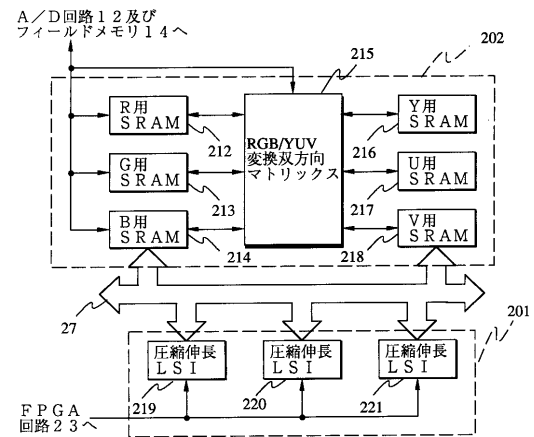
A11	A12	A13	...	A1N	A11	A11	A13	A13	...	A1N-1	A1N-1
A21	A22	A23	...	A2N	A21	A21	A23	A13	...	A2N-1	A2N-1
A31	A32	A33	...	A3N	A31	A31	A33	A13	...	A3N-1	A3N-1
...	...	...	...	...	...	...	...	...	...	...	...
AL1	AL2	AL3	...	ALN	AL1	AL1	AL3	AL3	...	ALN-1	ALN-1
AL+11	AL+12	AL+13	...	AL+1N	AL+11	AL+11	AL+13	AL+13	...	AL+1N-1	AL+1N-1
...	...	...	...	...	...	...	...	...	...	...	...
AM-21	AM-22	AM-23	...	AM-2N	AM-21	AM-21	AM-23	AM-23	...	AM-2N-1	AM-2N-1
AM-11	AM-12	AM-13	...	AM-1N	AM-11	AM-11	AM-13	AM-13	...	AM-1N-1	AM-1N-1
AM1	AM2	AM3	...	AMN	AM1	AM1	AM3	AM3	...	AMN-1	AMN-1

Yビデオ信号 UVビデオ信号

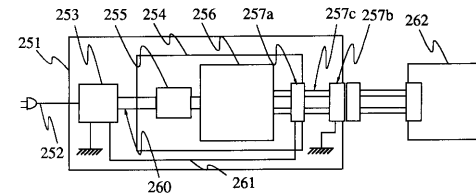
【図 39】



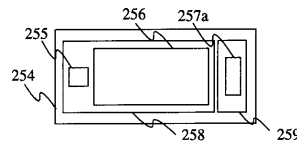
【図 40】



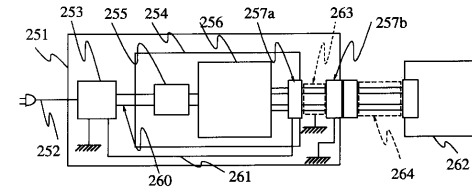
【図 44】



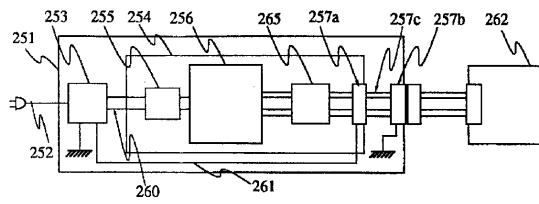
【図 45】



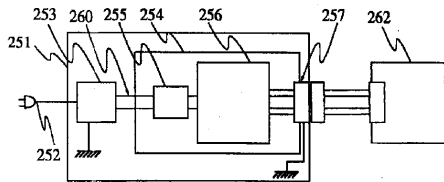
【図 46】



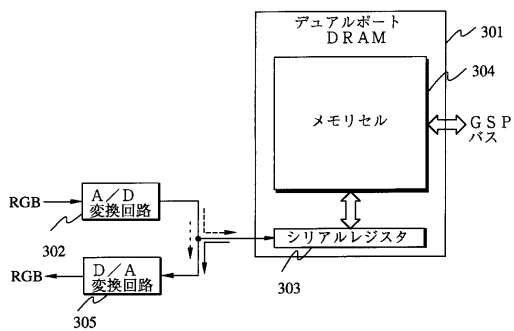
【図 47】



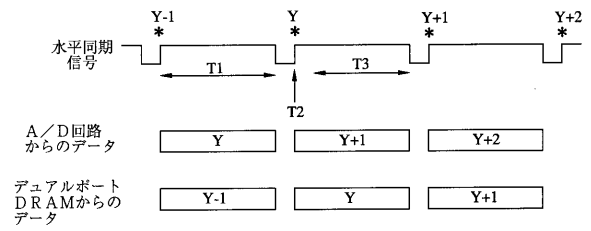
【図 48】



【図 49】



【図 50】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

// G 0 6 T 1/00

G 0 6 T 1/00 2 0 0 B

5 C 0 5 3

F ターム(参考) 4C061 CC06 JJ17 NN05 NN07 SS21 WW01 YY01 YY12 YY18

4C601 EE10 EE15 FE01 LL04 LL11 LL13 LL14 LL21

5B050 AA02 BA10 BA12 CA05 EA10

5B061 BA03 DD11

5C052 AA17 CC11 DD05 GA02 GC05 GE03

5C053 GA11 GB21 LA02 LA06 LA11 LA15

专利名称(译)	图像处理设备		
公开(公告)号	JP2004358233A	公开(公告)日	2004-12-24
申请号	JP2004130413	申请日	2004-04-26
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	仁茂田健一郎 江藤忠夫 柴田裕之		
发明人	仁茂田 健一郎 江藤 忠夫 柴田 裕之		
IPC分类号	A61B1/04 A61B8/12 G06F13/28 G06T1/00 H04N5/907 H04N5/92		
FI分类号	A61B1/04.370 A61B8/12 G06F13/28.310.A H04N5/907.B H04N5/92.H G06T1/00.200.B A61B1/04 A61B1/045.610 A61B1/045.613 G06F13/28.310.E G06F13/28.310.P G06F13/28.310.Y H04N5/907 H04N5/917 H04N5/926 H04N5/926.100 H04N9/804.200		
F-TERM分类号	4C061/CC06 4C061/JJ17 4C061/NN05 4C061/NN07 4C061/SS21 4C061/WW01 4C061/YY01 4C061/YY12 4C061/YY18 4C601/EE10 4C601/EE15 4C601/FE01 4C601/LL04 4C601/LL11 4C601/LL13 4C601/LL14 4C601/LL21 5B050/AA02 5B050/BA10 5B050/BA12 5B050/CA05 5B050/EA10 5B061/BA03 5B061/DD11 5C052/AA17 5C052/CC11 5C052/DD05 5C052/GA02 5C052/GC05 5C052/GE03 5C053/GA11 5C053/GB21 5C053/LA02 5C053/LA06 5C053/LA11 5C053/LA15 4C161/CC06 4C161/JJ17 4C161/NN05 4C161/NN07 4C161/SS21 4C161/WW01 4C161/YY01 4C161/YY07 4C161/YY12 4C161/YY15 4C161/YY16 4C161/YY18		
代理人(译)	伊藤 进		
其他公开文献	JP3947529B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种图像处理设备，即使在改变图像捕获/静止图像（冻结）显示时，也能够在不加载CPU的情况下显示自然且易于看到的图像。解决方案：在其中用于存储图像数据的存储电路和用于信号处理的图像处理电路的图像处理装置在CPU或数据传输电路具有使用权的总线上并行连接，存储电路并且图像处理电路通过数据传输电路获得使用总线的权利来执行数据传输。 点域1

